

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



<p>(51) 国際特許分類6 H01J 11/02, 9/02, 9/24, 9/26, 9/385, G09F 9/313, G09G 3/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/44531</p> <p>(43) 国際公開日 1998年10月8日(08.10.98)</p>
<p>(21) 国際出願番号 PCT/JP98/01444</p> <p>(22) 国際出願日 1998年3月30日(30.03.98)</p> <p>(30) 優先権データ 特願平9/80540 1997年3月31日(31.03.97) JP 特願平9/80541 1997年3月31日(31.03.97) JP 特願平9/308829 1997年11月11日(11.11.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 伊藤 篤(ITO, Atsushi)[JP/JP] 有本浩延(ARIMOTO, Hironobu)[JP/JP] 伊藤 廣(ITO, Hiroshi)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 曾我道照, 外(SOGA, Michiteru et al.) 〒100-0005 東京都千代田区丸の内三丁目1番1号 国際ビルディング8階 曾我特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, US, 欧州特許 (DE, FR, GB).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: PLANE DISPLAY PANEL, METHOD FOR MANUFACTURING THE SAME, CONTROLLER FOR CONTROLLING THE SAME, AND METHOD FOR DRIVING THE SAME</p> <p>(54)発明の名称 平面表示パネルとその製造方法及びその制御装置並びにその駆動方法</p> <p>(57) Abstract A highly reliable plane display panel which has a large operating margin for making displaying operations and can stably display high-quality pictures, a method for manufacturing the panel, a controller for controlling the panel, and a method for driving the panel. The plane display panel is composed of a front glass substrate (1) provided with common electrodes and individual electrodes (3, 3a and 3b) which can be driven individually at every display cell, and a back glass substrate (10) having recessed sections which become discharging spaces. At the time of driving the plane display panel, the polarity of the wall charges accumulated on a dielectric layer (5) during displaying operations is inverted by applying voltage pulses to the individual electrodes (3) separately from the displaying operations. Thereafter, the electric field of the wall charges having the inverted polarity is added to the driving voltage, so that discharge can surely take place by applying voltage pulses for display to the electrodes (3).</p> <div data-bbox="743 1241 1398 1514"> </div> <p>12 (12a ~ 12c) : 蛍光体層</p> <p>12(12a - 12c) ... phosphor layer</p> <p>a ... discharge light</p> <p>b ... light emitted from phosphor</p> <p>c ... phosphor</p> <p>d ... protective layer</p>		

## (57)要約

本発明は、表示動作を行わせるための動作マージンが大きく、安定した表示が可能であり、信頼性の高い、高品位な表示が可能な平面表示パネルとその製造方法及び制御装置並びにその駆動方法に関する。

前記平面表示パネルは、共通電極と表示セル毎に個別駆動が可能な個別電極 3 (3 a, 3 b) を設けたフロントガラス基板 1 と、放電空間となる凹部を設けたバックガラス基板 10 からなる。

前記平面表示パネルの駆動において、表示動作とは別に個別電極 3 に電圧パルスを押加して、表示動作時に誘電体層 5 上に蓄積された壁電荷の極性を反転させる。その後に表示用の電圧パルスを押加することで、駆動電圧に前記の極性が反転された壁電荷の電界が加わり、確実に放電が起きるようになる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GB	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GE	グルジア	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MC	モナコ	TG	トーゴ
BB	バルバドス	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BJ	ベナン	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BR	ブラジル	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
BY	ベラルーシ	ID	インドネシア	MW	マラウイ	US	米国
CA	カナダ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CF	中央アフリカ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CG	コンゴ	IS	アイスランド	NL	オランダ	YU	ユーゴスラビア
CH	スイス	IT	イタリア	NO	ノルウェー	ZW	ジンバブエ
CI	コートジボワール	JP	日本	NZ	ニュージーランド		
CM	カメルーン	KE	ケニア	PL	ポーランド		
CN	中国	KG	キルギスタン	PT	ポルトガル		
CU	キューバ	KP	北朝鮮	RO	ルーマニア		
CY	キプロス	KR	韓国	RU	ロシア		
CZ	チェコ	KZ	カザフスタン	SD	スーダン		
DE	ドイツ	LC	セントルシア	SE	スウェーデン		
DK	デンマーク	LI	リヒテンシュタイン	SG	シンガポール		
EE	エストニア	LK	スリ・ランカ	SI	スロヴェニア		
ES	スペイン						

## 明 細 書

平面表示パネルとその製造方法及びその制御装置並びにその駆動方法

技術分野

この発明は、文字、図形、映像等を表示する平面型の表示パネルでなる平面表示パネルとその製造方法及びその制御装置並びにその駆動方法に関するものである。

背景技術

従来、放電し得るガス媒体を挟んで併設された複数の線状電極をマトリクス状に配設し、選択された両電極間に電圧を印加することにより、両電極の交点でガス放電させるようにした平面表示パネルとして、例えば日本国特開平3-160488号公報、特開平2-90192号公報及び実開平3-94751号公報に示すものがある。

しかしながら、上述した従来例に係る平面表示パネルは、透光性を有する2枚の絶縁基板を貼り合わせて空間を作り、空間内にマトリクス状の放電用電極を形成するように各基板に電極をそれぞれ設けて空間を隔てて対向配置させると共に、各電極毎に放電空間を区画するための隔壁を設ける構造となっているため、マトリクス状に対向配置した電極を選択することで表示制御を行うようになっていて、各表示セル毎に独立して表示制御することができなかった。また、上述した構造により表示パネルの平面厚さが厚くならざるを得なかった。

また、従来、気体放電を利用して表示を行う平面型のパネルとして、1983年11月発行、大脇、吉田著の「プラズマディスプレイ」に記載されているものがある。

このパネルは、放電空間を挟んでマトリックス状に対向するガラス等の絶縁体で被覆された櫛形電極を配置することにより構成され、また、行もしくは列をなす表示セルは、単一の櫛形電極により一括して駆動される。

また、表示制御は、行列をなす櫛形電極を用いて走査側の櫛形電極を順次駆動し、選択された櫛形電極とマトリクス対向する電極間にある表示セルに微少放電を発生させる書き込み動作とその書き込み動作により微少放電が発生した表示セルのみを選択的にしかも表示画面全体を発光させる維持動作、画面全体の表示セルの電気的な状態を揃えるための全面書き込み、全面消去動作という3つの動作によって行われている。

さらに、映像表示を行うためには表示セルごとの輝度制御を行う必要があるが、制御、表示電極が多くの表示セルを同時に受け持っており、表示セルが2値動作（発光・非発光の2つの状態しか取り得ない）の特性を持つ関係上、特殊な方法を用いなければ階調表示ができず、例えば日本国特開平6-186927号公報に記載されるような駆動方式を採っている。

これは、表示期間を輝度表現のために維持期間の異なる（維持期間の輝度の異なる）複数期間に分割し、それぞれの期間において、表示データの書き込み、維持動作を行うことによりそれぞれの期間での輝度を組み合わせて階調表示を行う方式である。

しかしながら、この従来のパネルの駆動方法は、対向したマトリクス電極を制御し表示放電を行うために、それぞれの電極は100以上の複数表示セルを一括制御することとなり、表示を行うためには、マトリクス配列した電極群を用い走査電極を順次走査することによる書き込み工程、マトリクス電極群に交互に維持電圧パルス印加し書き込みが行われた表示セルのみを発光表示させる維持工程、表示セル、非表示セルの電気的な状態を均一にするための全面放電、全面消去工程を時間的に順次行う必要がある。

また、このようなシーケンス制御を行うためには、表示セル個々の放電開始電圧値、放電を維持するための最小の電圧値、書き込み放電を発生させるための書き込み電圧値等製造工程中で大きな個体差の発生し得る放電セルの特性に大きく依存する制御を行わざる得ず、特に、放電維持の為の電圧は、高電圧側では放電開始電圧に、低電圧側は最小維持電圧によって制限されるために、10～20V程度の幅しか無いことが多い。

以上の理由により、表示を安定的に行うための制御マージンを大きく取れず、表示維持の電圧、書き込みのための電圧、放電開始のための電圧等を表示パネル個々に調整する必要があり、動作を続けることによりこれらの電圧値が変動すると再調整の必要があった。また、複雑に絡み合った表示セルの特性が1枚の表示パネルにおいても大きく変動することにより製品歩留まりの低下という問題があった。

さらに、上述したように従来の気体放電パネルの階調制御方式では、データの書き込み、表示維持という少なくとも2つの動作を階調表現できる組み合わせ回数行うこと、さらに、書き込み動作には少なくとも1～2m秒必要であるため、表示の維持期間は書き込み期間を挟み込んで不連続となる。

階調表現としては、1シーケンス（約16ms：フレーム周波数60Hz）で終了するように制御が行われるが、1シーケンス内では時間的に連続的な輝度制御が不可能なために、表示の階調表現（パネル駆動による設計的な階調表現）と人間の目による輝度変化の知覚に対する不整合が生じる。このため、擬似輪郭と呼ばれる階調の不連続点が知覚され、映像表示の品質が大きく低下するという問題も含んでいた。

この発明は上述した点に鑑みてなされたもので、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる放電空間の構造を有する平面表示パネル及びその製造方法を得ることを目的とする。

また、1表示セル毎に個別駆動が可能な平面表示パネルの表示セル毎に独立した個別電極に対し個々にスイッチング制御して階調制御することができる平面表示パネルの制御装置を得ることを目的とする。

また、1表示セル毎の個別駆動が可能である電極構造、パネル構造を持つ表示パネルをに対して、表示セル個々が持つ放電特性、特に、放電開始電圧と最小放電維持電圧の差によらず放電の維持制御を可能とし、十分大きな放電制御のマージンを得ること、さらに放電安定化のための動作を一定期間毎に挿入することにより安定した放電維持を可能とすることができる平面表示パネルの駆動方法を得ることを目的とする。

さらに、1シーケンス内での連続した時間範囲で放電制御を行うことにより表示輝度が1つのまとまった期間で表現できるようにすることで映像表示に適した階調表示を可能とすることができる平面表示パネルの駆動方法を得ることを目的とする。

#### 発明の開示

この発明に係る平面表示パネルは、第1の透明基板と、上記第1の透明基板上に設けられた一对の電極と、上記一对の電極と対向する部分に凹部が設けられて表示セルの放電空間を形成する第2の基板とを備えることで、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる放電空間の構造を有する平面表示パネルを提供する。

また、上記第1の透明基板上に設けられた一对の電極は、上記第1の透明基板上に複数併設されて電極群を構成することで、複数の放電セルの電極構成を容易に形成する。

また、上記凹部は、矩形でなり所望の深さを有することにより、放電空間を区画するための隔壁を設けることなしに、かつ電極形成に関係なく放電空間を直接形成して、表示パネルの平面厚さを薄くする。

また、上記凹部は、300～600 $\mu$ mの範囲の深さを有することにより、放電空間の厚みを厚くして輝度を上げることができる。

また、上記第1の透明基板上に設けられて上記一对の電極を被覆する誘電体層を設けることで、外部への電荷の拡散を防いで電荷を放電セル内に閉じ込めることができるようにする。

また、上記第2の基板の上記凹部の底面に蛍光体層を設けることにより、カラー表示を容易に行うことができ、均一な輝度を得て映像の均一性を得ることができるものである。

また、上記第2の基板の上記凹部の底面と上記蛍光体層との間に反射層を設けることにより、蛍光体の発光を前面に出すことができるようにする。

また、上記一对の電極は、上記第1の透明基板上に設けられて表示画面を構成

する全表示セルを一括または任意の複数の表示セルを部分的に同時駆動する共通電極と、上記第1の透明基板上に設けられて表示画面を構成する表示セル1セル毎に個別駆動する個別電極とを有することにより、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルを提供する。

また、上記第2の基板に形成される凹部の深さを、放電に関与する1表示セル内の共通電極と個別電極との間隙の3倍以上とすることにより、放電空間の厚みを厚くして輝度を上げることができるものである。

また、上記第2の基板に形成される各表示セル間に排気溝を設けると共に、上記第2の基板に上記排気溝と連通される排気用スルーホールを設けることにより、真空排気時の不純ガスの経路を確保するものである。

また、上記第1の透明基板上の表示画面を構成する表示セル間の位置に設けられる上記共通電極及び上記個別電極上にリードピンを立設すると共に、上記第2の基板の上記リードピンと対向する位置に上記リードピンを表示画面の背面側に引き出す電極取り出し用スルーホールを設けることで、電極を表示画面の背面側に容易に引き出すことができるようにする。

また、上記リードピンは、上記共通電極及び上記個別電極の母電極材料と同じ金属材料を主成分とするペーストまたはロウ材により上記共通電極及び上記個別電極の母電極に融着することで、リードピンを電極上に強固に形成することができるようにする。

また、上記リードピンは、電極に融着される大径の下端部を有し、上記電極取り出し用スルーホールは、上記リードピンの下端部が嵌挿される大径部と、上記リードピンの先端部が延出される小径部とでなる段差形状を有することで、リードピンの位置合わせを容易に行うことができると共に第1と第2のガラス基板の無用なギャップの発生を防止する。

また、上記リードピンの融着部付近に、上記第1と第2の基板の封止時に封止材の表示セルへの流入を防止する封着用ガードを設けることにより、封止材の表示セルへの流入を防止するものである。

また、この発明に係る平面表示パネルの製造方法は、第1の透明基板上に個別電極の透明電極をパターンニングする工程と、上記透明電極が形成された第1の透明基板上に個別電極と共通電極の母電極を形成する工程と、上記第1の透明基板の個別電極と共通電極を被覆する誘電体層を形成する工程と、上記誘電体層の電極取り出し窓を介して上記個別電極と上記共通電極上にリードピンを立設するピン組み立て工程と、上記ピン組み立て工程を経た第1の透明基板上に保護膜を形成する工程とを有すると共に、上記第2の基板上に表示画面を構成する各表示セルの放電空間を形成するための凹部と上記共通電極及び上記個別電極上に立設されるリードピンを表示画面の背面側に引き出す電極取り出し用スルーホール及び排気用スルーホールを刻設する工程と、上記表示セルを形成する各凹部の底面に蛍光体層を形成する工程とを有し、かつこれら工程を経た第1の透明基板のリードピンを第2の基板のスルーホールを経て外部に延出させるべく第1と第2の基板を嵌合させてパネルを組み立てる工程と、組み立てられた第1と第2の基板を封着する工程とを有することにより、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルを容易に得るものである。

また、この発明に係る平面表示パネルの制御装置は、表示画面を構成する全表示セルを一括または任意の表示セルを部分的に駆動する共通電極と、表示セル1セル毎に個別駆動する個別電極とを備えた平面表示パネルに対し、上記個別電極に単位時間内に印加するパルスの数によって輝度を変化させて階調表示する駆動回路を備えることで、表示セル毎に独立した電極に対して個々にスイッチング制御して階調制御することができるものである。

また、上記駆動回路は、上記個別電極に単位時間内に印加するパルスとして、比較的幅広の維持パルスと比較的幅狭の消去パルスの印加の制御に基づいて階調表示することで、消去パルスが印加された期間は放電表示を停止させることができ、階調表示を行うことができるものである。

また、上記平面表示パネルは、複数の表示パネルを行列配置して組み合わせた表示モジュールを構成要素とし、列方向に配列された表示モジュールがカスケー



ド接続され、かつ各表示モジュールが電源に対して並列接続されてなり、各表示モジュールの駆動回路に制御信号を与える信号処理回路として、固有アドレス情報を記憶してなるアドレス情報記憶部と、入力されるデータをスルーさせると共に上記固有アドレスとデータ中の表示有効信号の位置から自己が表示するデータを取り出すための入力信号制御部と、上記入力信号制御部からスルーされたデータをカスケード接続された隣接する表示モジュールに出力させるためのスルーデータ用出力バッファと、書き込み制御信号に基づいて上記入力信号制御部により取り出されたデータを書き込むと共に読み出し制御信号に基づいてデータの読み出しを行うメモリと、上記入力信号制御部により取り出されたデータに基づいて共通電極及び個別電極駆動パルス生成器と、上記表示用パルス生成器から出力される共通電極駆動パルスをカウントするカウンタと、上記カウンタによりカウントされたパルス数を階調データに数値変換するためのルックアップテーブルと、上記ルックアップテーブルを介した階調データと上記メモリから読み出された個別電極駆動用表示データとの比較に基づいて個別電極の制御データを出力する表示データ生成器と、上記表示用パルス生成器及び上記表示データ生成器の出力を個別電極駆動回路及び共通電極駆動回路に出力する出力バッファとを備えることで、表示モジュールを組み合わせた際のデータ制御を行う場合に、各表示モジュールのアドレスに対応する表示データを取り込み、データに応じた個別制御が可能にする。

また、この発明に係る平面表示パネルの駆動方法は、複数のセルのそれぞれに共通に駆動される共通電極及び個別に駆動される個別電極を並設し、上記共通電極に電圧パルスを印加して上記共通電極及び上記個別電極上に設けられた誘電体層上に放電による発光を生起させる平面表示パネルに対し、上記個別電極に電圧パルスを印加して上記誘電体層上に蓄積された壁電荷の極性を反転させるステップと、その後、上記共通電極に電圧パルスが印加して上記極性の反転による壁電荷の電界が加わるようにするステップとを有することで、共通電極で発生させる放電は、1つのパルスで放電の開始と消去放電による表示セルの初期化が行われるため、表示動作を行わせるための動作マージンが大きく、さらに一定間隔で

全個別電極に表示初期化パルスを挿入することで共通電極を駆動することによる放電が不安定になった場合でも表示を安定に維持できる機能を持つため非常に安定な表示が可能とする。

また、上記共通電極に印加される一定の電圧パルス数を1シーケンスとしたときに、1又は複数のシーケンス毎に上記個別電極に上記電圧パルスを印加することを特徴とするものである。

また、上記共通電極に印加される電圧パルスは、その電圧パルスの立ち上がり時に上記極性の反転による壁電荷の電界が加わって放電を開始させ、その電圧パルスの立ち下がり時にその放電による壁電荷によって消去放電を起こさせるようにすることを特徴とするものである。

また、上記共通電極に印加される電圧パルスは、放電開始電圧以下の第1の電圧パルスと、この第1の電圧パルス期間内に重畳される第2の電圧パルスとでなり、放電開始電圧以上の電圧値を有する複合電圧パルスであることを特徴とするものである。

また、上記第1の電圧パルスの立ち下がり時に上記壁電荷によって消去放電を起こさせることを特徴とするものである。

また、上記共通電極への複合電圧パルスにより消去放電を起こさせた後、上記個別電極に電圧パルスを印加して放電を停止させるステップを有することを特徴とするものである。

また、上記共通電極に電圧パルスを印加して放電を生じさせた際に、放電を維持すべき表示セルの個別電極に対しては放電維持領域における電圧を印加すると共に、放電を停止すべき表示セルの個別電極に対しては放電抑制領域における電圧を印加することで、共通電極に放電の維持機能を持たせ、全表示セルを一括で駆動でき、表示の制御はより低い周波数で個別電極を駆動することで行うことが可能であるため、回路構成が簡単になり、つまり電力の大きな回路は共通電極駆動に集中でき、個別電極駆動はより低電圧、低消費電力の回路で構成できることになり、安価であり、信頼性の高い平面表示パネルの製造を可能にする。

また、上記共通電極に印加される一定の電圧パルス数を1シーケンスとしたと

きに、そのシーケンスの1部の電圧パルス数に対応して放電を維持する放電維持領域の電圧を個別電極に印加して表示維持期間とし、その1シーケンスの他の部分の電圧パルス数に対応して放電を停止させる放電抑制領域の電圧を個別電極に印加して表示抑制期間として、階調表示を行うことで、階調表示が1シーケンス中で連続的な期間の設定で可能になることより、階調性のある高品位な表示が可能となり、映像表示に適した階調表示を可能にする。

また、上記1シーケンスの前半部分を表示維持期間とし、その後半部分を表示抑制期間とすることを特徴とするものである。

さらに、上記1シーケンスとして上記共通電極に印加する一定の電圧パルス数は、階調数以上であって、1階調につき複数の電圧パルス数を割り当てたことを特徴とするものである。

#### 図面の簡単な説明

図1は、この発明の実施の形態1に係る平面表示パネルの全体を示す概略構成図、

図2は、この発明の実施の形態1に係る表示パネルを構成する第1の透明基板としてのフロントガラス基板上の構成を示す部分斜視図、

図3は、この発明の実施の形態1に係る表示パネルを構成する第2の基板としてのバックガラス基板上の構成を示す部分斜視図、

図4は、図3のa-a'線断面図、

図5は、バックガラス基板上の排気溝を示す構造図、

図6は、リードピン6と電極取り出し用スルーホール13の形状を説明する説明図、

図7は、フロントガラス基板1のリードピン6の融着部付近に設けられる封着用ガード15の説明図、

図8は、フロントガラス基板1の製造工程図、

図9は、図8に続く製造工程図、

図10は、バックガラス基板10の製造工程図、

図 1 1 は、フロントガラス基板 1 とバックガラス基板 1 0 を嵌め合わせて表示パネルを組み立て封止する最終工程図、

図 1 2 は、この発明の実施の形態 2 に係る平面表示パネルの制御装置を説明するもので、各表示セルを放電管として表した表示パネルの等価回路図、

図 1 3 は、この発明の実施の形態 2 に係る平面表示パネルの制御装置を説明するもので、駆動回路のブロック構成図、

図 1 4 は、図 1 3 の駆動回路による輝度階調の表示のための各電極への駆動波形図、

図 1 5 は、図 1 3 の変形例を示す駆動回路のブロック構成図、

図 1 6 は、図 1 4 の駆動回路による輝度階調の表示のための各電極への駆動波形図とその説明図、

図 1 7 は、この発明の実施の形態 2 に係る平面表示パネルのシステム構成図、

図 1 8 は、この発明の実施の形態 2 に係る平面表示パネルの制御装置を説明するもので、図 1 7 においてカスケード接続された各表示モジュールの駆動回路に制御信号を与える信号処理回路を示す構成図、

図 1 9 は、図 1 8 に示す信号処理回路の動作を説明する波形図、

図 2 0 は、図 1 8 に示すパルスカウンタ 5 6 とルックアップテーブル 5 7 及び表示データ生成部 5 8 により個別電極制御を行うための階調データ作成に係る階調表示処理を説明するブロック図とフローチャート、

図 2 1 は、図 1 8 に示すルックアップテーブル 5 7 の入出力特性図、

図 2 2 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する個別電極駆動部のブロック図、

図 2 3 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する駆動シーケンス図、

図 2 4 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示パネルの動作説明図、

図 2 5 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示パネルの動作説明図、

図 2 6 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示セルの初期化動作説明図、

図 2 7 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する放電動作説明図、

図 2 8 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示セルの制御特性図、

図 2 9 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示セルの制御特性図、

図 3 0 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明するパルス発生回路を示す回路図、

図 3 1 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する表示セルの制御特性図である。

図 3 2 は、この発明の実施の形態 3 に係る平面表示パネルの駆動方法を説明する階調表示制御のタイミング図である。

#### 発明を実施するための最良の形態

##### 実施の形態 1.

図 1 はこの発明の実施の形態 1 に係る平面表示パネルの全体を示す概略構成図である。

図 1 に示すように、本実施の形態に係る平面表示パネルとしてのカラーフラットパネルは、表示部と駆動部が一体となった取り扱いが容易な表示パネルで、6 4 ドットの表示パネル A が 4 枚で成る 2 5 6 ドット表示ユニットを基準とし、各表示パネルの裏面側には端子変換基板 B 及び個別電極駆動回路 C が設けられ、これら 4 枚の表示パネル A に対しパルス回路／信号処理回路 D が設けられる。

図 2 と図 3 は上記表示パネルを構成する第 1 の透明基板としてのフロントガラス基板と第 2 の基板としてのバックガラス基板上の構成を示すそれぞれ部分斜視図であり、さらに、図 4 は図 3 の a - a' 線断面図、図 5 はバックガラス基板上の排気溝を示す構造図である。

図2の(a)に示すように、フロントガラス基板1上には、表示画面を構成する全表示セルを一括または任意の表示セルを部分的に駆動するための共通電極2と、表示画面を構成する表示セル1セル毎に個別駆動するための個別電極3との一対の電極が複数併設されて電極群を構成している。

また、これら一対の電極を被覆して成る誘電体層4及び保護膜層5が設けられており、表示画面を構成する表示セル間の位置に対応する個別電極3の上には、電極取り出し用のリードピン6が立設されている。なお、3bは個別電極3の母電極3a及び共通電極2に接続されている透明電極である。

また、図2の(b)に示すように、フロントガラス基板1上には、個別電極3のリードピン6と同様に、表示セル間の位置に対応する共通電極2の上に電極取り出し用のリードピン7が立設されており、これらリードピン6と7は、上記共通電極2及び上記個別電極3の母電極材料と同じ金属材料を主成分とするペーストまたはロウ材により上記共通電極2及び上記個別電極3の母電極に融着している。なお、共通電極のリードピンの取り出し部付近を示す図2の(b)において、破線部分は誘電体層4下の電極パターンを示す。

一方、図3及び図4に示すように、上記フロントガラス基板1上に設けられた上記共通電極2及び個別電極3が対向するバックガラス基板10の対応部分には、矩形でなり所望の深さを有する凹部11がそれぞれ刻設されて各表示セルの放電空間を形成しており、該凹部11の底面には白色ガラスまたは金属でなる反射層(図示せず)を介して赤、緑、青の蛍光体層12a、12b、12cが塗布されている。また、このバックガラス基板10には、上記リードピン6及び7と対向する位置に上記リードピン6及び7を表示画面の背面側に引き出すための電極取り出し用スルーホール13が刻設されている。

また、上記凹部11の深さTは、放電に関与する1表示セル内の共通電極と個別電極との間隙tが通常100 $\mu$ mであるのに対し、3倍以上の300~600 $\mu$ m程刻設され、放電空間の厚みを厚くして輝度を上げるようにしている。

さらに、図5に示すように、バックガラス基板10に刻設された凹部11によって形成される各表示セルの放電空間の間には排気溝14が設けられ、バックガ

ラス基板に形成される後述する排気用スルーホールと連通されていて、真空空排気時の不純ガスの経路を確保できるようにしている。

上記の如く構成されたフロントガラス基板 1 とバックガラス基板 10 は、フロントガラス基板 1 上に立設したリードピンをバックガラス基板 10 のスルーホールを経て外部に延出させるべく嵌め合わせ表示パネルを組み立てて封止するが、このとき、図 6 に示すように、リードピン 6 を、電極に融着される下端部 6 a を細長い先端部 6 b より大径にし、電極取り出し用スルーホール 13 を、上記リードピン 6 の下端部 6 a が嵌挿される大径部 13 a と、上記リードピン 6 の先端部 6 b が延出される小径部 13 b との 2 段でなる段差形状とすることにより、リードピン 6 の位置合わせとフロントガラス基板 1 とバックガラス基板 10 の無用なギャップの発生を防ぐようにしている。なお、ピンリード 7 も同様な形状でなる。

また、図 7 に示すように、上記フロントガラス基板 1 のリードピン 6 の融着部付近に、上記フロントガラス基板 1 とバックガラス基板 10 の封止時に封止材の表示セルへの流入を防止する封着用ガード 15 を設けることにより、封止材の放電セルへの流入を防止できるようにすることができる。

次に、上記の如く構成を有する平面表示パネルの製造方法について説明する。

図 8 ないし図 11 は平面表示パネルの製造工程図を示し、図 8 と図 9 はフロントガラス基板 1 の製造工程図、図 10 はバックガラス基板 10 の製造工程図、図 11 はフロントガラス基板 1 とバックガラス基板 10 を嵌め合わせて表示パネルを組み立て封止する最終工程図である。

フロントガラス基板 1 部の製造工程を図 8 及び図 9 を参照して説明する。

まず、図 8 の (a) に示すように、全面に個別電極の透明電極部が設けられたフロントガラス基板 1 に対し、エッチング工程を経て透明電極のパターニングを行い図 8 の (b) に示す如く透明電極パターンを形成する。

その後、図 8 の (c) に示す如くスクリーン印刷法により共通電極 2 及び個別電極 3 の母電極を形成する。

さらに、続く図 9 の (d) に示すように、共通電極 2 及び個別電極 3 上に、ス

クリーン印刷法により共通電極 2 及び個別電極 3 の電極取り出し用窓が設けられた絶縁体で成る誘電体層 4 を被覆する。

その後、図 9 の (e) に示す如く、電極取り出し用窓を介して共通電極及び個別電極上にリードピン 6 及び 7 を立設し、その後、さらに真空蒸着法により保護膜 5 を形成する。

また、バックガラス基板 10 部の製造工程を図 10 を参照して説明する。

まず、図 10 の (a) に示すバックガラス基板 10 に対し、図 10 の (b) に示すように、サンドブラストにより、該ガラス基板上に表示画面を構成する各表示セルの放電空間を形成するための凹部 11 と、上記共通電極 2 及び上記個別電極 3 上に立設されるリードピン 6 及び 7 を表示画面の背面側に引き出す電極取り出し用スルーホール 13 a 及び 13 b と上記排気溝 14 に連通する排気用スルーホール 15 を刻設する。

そして、図 10 の (c) に示すように、スクリーン印刷法を利用して表示セルを形成する各凹部 11 の底面に白色ガラスまたは金属でなる反射層 (図示せず) を介して赤、緑、青の蛍光体層 12 a, 12 b, 12 c を形成する。

次に、このようにして構成されたフロントガラス基板 1 部とバックガラス基板 10 部は、図 11 の (a) に示すように、フロントガラス基板 1 のリードピン 6 及び 7 をバックガラス基板 10 のスルーホール 13 を経て外部に延出させるべく嵌合させてパネルを組み立て、組み立てられたこれら基板は、図 11 の (b) に示すように、フリットガラスが塗布されて封着されて封止層 16 が形成され表示パネルが形成される。なお、17 は排気用ガラス管である。

従って、上記実施の形態 1 によれば、第 1 の透明基板と、この第 1 の透明基板上に設けられた一対の電極と、上記一対の電極と対向する部分に凹部が設けられて表示セルの放電空間を形成する第 2 の基板とを備えたので、表示パネルの 1 表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる放電空間の構造を有する平面表示パネルを得ることができる。

また、上記第 1 の透明基板上に設けられた一対の電極は、上記第 1 の透明基板上に複数併設されて電極群を構成したので、複数の放電セルの電極構成を容易に



形成することができる。

また、上記凹部は、矩形でなり所望の深さを有することにより、放電空間を区画するための隔壁を設けることなしに、かつ電極形成に関係なく放電空間を直接形成して、表示パネルの平面厚さを薄くすることができる。

また、上記凹部は、 $300 \sim 600 \mu\text{m}$ の範囲の深さを有することにより、放電空間の厚みを厚くして輝度を上げることができる。

また、上記第1の透明基板上に設けられて上記一对の電極を被覆する誘電体層を設けたので、外部への電荷の拡散を防いで電荷を放電セル内に閉じ込めることができる。

また、上記第2の基板の上記凹部の底面に蛍光体層を設けたことにより、カラー表示を容易に行うことができ、均一な輝度を得て映像の均一性を得ることができる。

また、上記第2の基板の上記凹部の底面と上記蛍光体層との間に反射層を設けたことにより、蛍光体の発光を前面に出すことができる。

また、上記一对の電極は、上記第1の透明基板上に設けられて表示画面を構成する全表示セルを一括または任意の複数の表示セルを部分的に同時駆動する共通電極と、上記第1の透明基板上に設けられて表示画面を構成する表示セル1セル毎に個別駆動する個別電極とを有することにより、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルが得られる。

また、上記第2の基板に形成される凹部の深さは、放電に関与する1表示セル内の共通電極と個別電極との間隙の3倍以上とすることにより、放電空間の厚みを厚くして輝度を上げることができる。

また、上記第2の基板に形成される各表示セル間に排気溝を設けると共に、上記第2の基板に上記排気溝と連通される排気用スルーホールを設けることにより、真空排気時の不純ガスの経路を確保できる。

また、上記第1の透明基板上の表示画面を構成する表示セル間の位置に設けられる上記共通電極及び上記個別電極上にリードピンを立設すると共に、上記第2

の基板の上記リードピンと対向する位置に上記リードピンを表示画面の背面側に引き出す電極取り出し用スルーホールを設けたので、電極を表示画面の背面側に容易に引き出すことができる。

また、上記リードピンは、上記共通電極及び上記個別電極の母電極材料と同じ金属材料を主成分とするペーストまたはロウ材により上記共通電極及び上記個別電極の母電極に融着したので、リードピンを電極上に強固に形成することができる。

また、上記リードピンは、電極に融着される大径の下端部を有し、上記電極取り出し用スルーホールは、上記リードピンの下端部が嵌挿される大径部と、上記リードピンの先端部が延出される小径部とでなる段差形状を有することにより、リードピンの位置合わせを容易に行うことができると共に第1と第2のガラス基板の無用なギャップの発生を防止することができる。

また、上記リードピンの融着部付近に、上記第1と第2の基板の封止時に封着用ガードを設けることにより、封止材の表示セルへの流入を防止することができる。

また、この実施の形態1によれば第1の透明基板上に個別電極の透明電極をパターンニングする工程と、該透明電極が形成された第1の透明基板上に個別電極と共通電極の母電極を形成する工程と、上記第1の透明基板の個別電極と共通電極を被覆する誘電体層を形成する工程と、上記誘電体層の電極取り出し窓を介して上記個別電極と上記共通電極上にリードピンを立設するピン組み立て工程と、ピン組み立て工程を経た第1の透明基板上に保護膜を形成する工程とを有すると共に、上記第2の基板上に表示画面を構成する各表示セルの放電空間を形成するための凹部と上記共通電極及び上記個別電極上に立設されるリードピンを表示画面の背面側に引き出す電極取り出し用スルーホール及び排気用スルーホールを刻設する工程と、上記表示セルを形成する各凹部の底面に蛍光体層を形成する工程とを有し、かつこれら工程を経た第1の透明基板のリードピンを第2の基板のスルーホールを経て外部に延出させるべく第1と第2の基板を嵌合させてパネルを組み立てる工程と、組み立てられた第1と第2の基板を封着する工程とを有するこ

とにより、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルを容易に製造することができる。

#### 実施の形態2.

上記実施の形態1によれば、フロントガラス基板1とバックガラス基板10は、フロントガラス基板1のリードピン6及び7をバックガラス基板10のスルーホール13を経て外部に延出させるべく嵌合させてパネルを組み立て、組み立てられたこれら基板は、フリットガラスが塗布されて封着され封止層16が形成され表示パネルが形成されて、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルが得られるが、この実施の形態2では、上述した如く電極構造を有する平面表示パネルを駆動制御する制御装置について詳細に説明する。

図12は各表示セルを放電管として表した平面表示パネルの等価回路図である。

図12に示すように、平面表示パネルは、1画素に対応する1表示セルとして、赤、緑、青の蛍光体層を塗布した3つのセル単位でなり、それら1表示セルが複数備えられてなり、各セルの共通電極2には共通電極駆動部20からの同一駆動波形のパルスが供給され、各個別電極3としての個別電極 $Rnm$ 、 $Gnm$ 、 $Bnm$  ( $n, m$ は自然数)には個別電極駆動部21からそれぞれ個別の駆動波形のパルスが供給されるようになっている。

なお、共通電極は1パネルを一括駆動する場合は同一駆動波形で各セルを駆動する。また、1表示パネルを複数のブロック毎に分割した共通電極を用いる場合には同一駆動波形または表示駆動部の位相を分割毎にシフトさせた駆動波形で駆動する。

図13は上記共通電極駆動部20及び上記個別電極駆動部21でなる駆動回路のブロック構成図を示すもので、2画素6セルを駆動する場合を示すものである。

図13に示すように、各セルの共通電極2に接続されて駆動パルスを供給する共通電極駆動部20の構成としては、電源350Vに接続されたオープンドレインのFETとなるスイッチング素子Q1と、200Vの電圧が印加されるダイオードD1と、特性の等しいFETを対称的に接続してなるプッシュプル駆動型のスイッチング素子Q2及びQ3とでなるスイッチング制御部20aと、これら各スイッチング素子Q1～Q3のゲートに制御パルスを供給する共通電極側制御パルス供給部20bとを備えている。

また、個別電極駆動部21の構成としては、個別電極3としての各個別電極R11, G11, B11, R21, G21, B21毎に、電源200Vと接地端GNDとの間に接続された特性の等しいFETを対称的に接続してなるプッシュプル駆動型のスイッチング素子Q<sub>R11a</sub>とQ<sub>R11b</sub>, Q<sub>G11a</sub>とQ<sub>G11b</sub>, Q<sub>B11a</sub>とQ<sub>B11b</sub>, Q<sub>B21a</sub>とQ<sub>B21b</sub>, Q<sub>G21a</sub>とQ<sub>G21b</sub>, Q<sub>R21a</sub>とQ<sub>R21b</sub>でなるスイッチング制御部21aと、これら各スイッチング素子のゲートに制御パルスを供給する個別電極側制御パルス供給部21bとを備えている。

図14は上述した駆動回路による輝度階調の表示のための各電極への駆動波形を示すものである。

基本的に、本表示パネルは、入力パルスに対して2値動作（表示する／表示しない）の2つの状態しか取り得ない。従って、パルス自体の強弱により輝度を変化させることはできない。表示は連続した表示維持パルスを印加することによって行い、輝度の変化（階調）は共通電極に印加するパルスーパルス間の期間内に挿入され個別電極に単位時間内に印加するパルスの数によって制御する。

図14に示すように、共通電極2に対しては、制御パルス供給部20bからのパルス供給により、スイッチング素子Q1とQ2をONさせスイッチング素子Q3をOFFさせることで350Vのプライミングパルスを供給して放電を開始させ、それ以降は、スイッチング素子Q1をOFFさせスイッチング素子Q2とQ3をON／OFFさせることで200Vに低下させた表示維持パルスを供給する。

個別電極に対しては、1シーケンス内のパルス数を決め、全パルスが個別電極

に印加された場合に最高輝度、個別電極に印加するパルス数を減らしていくことによりその個別電極で駆動されているセルの輝度を低下させる。

例えば、個別電極 R 1 1 に対しては 1 2 7 回のパルスを供給することで 1 2 7 階調の輝度を、個別電極 G 1 1 に対しては n 階調の場合に n 回のパルスを供給することで最高輝度を、個別電極 B 1 1 に対しては 1 回のパルスを供給することで最も暗い絵の場合の 1 階調を、個別電極 R 2 1 に対してはパルスの供給を停止させて非点灯状態とし、同様に、個別電極 G 2 1 に対しては 1 2 7 回のパルスを供給することで 1 2 7 階調の輝度を、個別電極 B 2 1 に対しては 1 回のパルスを供給することで 1 階調の輝度をそれぞれ制御することができる。

従って、個別電極の働きは、表示期間中に放電表示を維持することが可能な階調数に応じたパルスを印加し、非表示期間に維持パルスの印加を停止する制御を行う。なお、個別電極にパルス入力が行われた次の共通電極のパルスまで発光表示が行われ、個別電極へのパルス印加停止後は共通電極にパルスが入力されても発光が発生しない。

また、図 1 5 は図 1 3 に示す駆動回路の変形例を示すものである。

図 1 5 に示す駆動回路は、図 1 3 に示す駆動回路に対し、スイッチング制御部の構成が異なる。すなわち、スイッチング制御部として、電源 2 0 0 V と接地端 G N D との間に接続された特性の等しい F E T を対称的に接続してなるプッシュプル駆動型のスイッチング素子でなる個別電極駆動スイッチ部 2 1 a a の他に、電源 2 0 0 V と接地端 G N D との間に接続された特性の等しい F E T を対称的に接続してなるプッシュプル駆動型のスイッチング素子でなる一括駆動スイッチ部 2 1 a b と、個別電極駆動スイッチ部 2 1 a a と一括駆動スイッチ部 2 1 a b の各一对の F E T の接続点間にそれぞれ設けられたダイオードの逆並列接続体群 2 1 a c とを備えている。

図 1 6 は上述した図 1 5 に示す駆動回路による輝度階調の表示のための各電極への駆動波形の説明図を示すものである。

放電表示を行うためには、維持パルスを印加した後、次回の放電表示を助けるために一定期間の電圧維持時間を必要とする。この電圧維持を行わずにパルスを

切った場合、次回の放電発光が抑制される。

この現象を利用し、駆動回路により、個別電極に比較的幅広の維持パルスを印加する波形と比較的幅狭の短い時間の維持パルス（消去パルス）を印加する場合の制御を行うことで階調表示を行うことができる。

すなわち、図16の（a）に示すように、最高輝度時には個別電極（個別電極G11の波形参照）へは幅の広いパルスが個別電極に印加する全パルスに対して与えられるが、中間輝度のセルに対してはシーケンスの途中から細幅の消去パルスが個別電極（個別電極R11、G21の波形参照）に与えられる。

このことにより、幅狭の消去パルスが印加された期間は放電表示が行われなくなる。この結果、表示輝度が低下し中間の輝度が達成される。なお、個別電極に適切な細い幅のパルスを印加することで共通電極のパルスでは発光を発生できなくすることが可能である。

ここで、図16の（a）に部分的に拡大して示すように、比較的幅広の維持パルスとは期間ⅠとⅡの幅を有し、また、比較的幅狭の維持パルスとは期間Ⅰの幅を有する。さらに、これら期間ⅠとⅡ、比較的幅広の維持パルスと比較的幅狭の維持パルスとの間の期間Ⅲ、比較的幅狭の維持パルス印加後の期間Ⅳは、図16の（b）に示すように、一括駆動スイッチ部21abと個別電極駆動スイッチ部21aaをスイッチング制御することにより達成される。

例えば期間Ⅰは、一括駆動スイッチ部21abのハイサイド側FETがON、ローサイド側FETがOFFに制御され、個別電極駆動スイッチ部21aaのハイサイド側FETがOFF、ローサイド側FETがOFFに制御される。また、期間Ⅱは、一括駆動スイッチ部21abのハイサイド側FETがOFF、ローサイド側FETがOFFに制御され、個別電極駆動スイッチ部21aaのハイサイド側FETがON、ローサイド側FETがOFFに制御される。さらに、期間Ⅲ及びⅣは同様にして図16の（b）のように制御される。

次に、図17は平面表示パネルのシステム構成図である。

図17に示すように、8×8ドットの表示ユニットを4つ組み合わせる表示モジュール30を構成要素として表示部を構成し、各表示モジュール30は列

方向（走査線方向）に沿って配列されたもの同士が映像信号、制御信号を共有し、カスケード接続されてなる。

また、電源 40 はそれぞれ表示モジュール 30 毎に並列供給されることにより表示モジュール 30 間で電圧降下が生じないように並列接続される。

図 18 はカスケード接続された各表示モジュールの駆動回路に制御信号を与える信号処理回路を示す構成図である。

図 18 に示される信号処理回路 50 は、固有のアドレス情報を記憶してなるモジュールアドレス情報記憶部 51 と、入力されるデータをスルーさせると共に上記固有アドレスとデータ中の表示有効信号の位置から自己が表示するデータを取り出すための入力信号制御／表示制御部 52 と、上記入力信号制御／表示制御部 52 からスルーされたデータをカスケード接続された隣接する表示モジュールに出力させるためのスルーデータ用出力バッファ 53 と、書き込み制御信号に基づいて上記入力信号制御／表示制御部 52 により取り出されたデータを書き込むと共に読み出し制御信号に基づいてデータの読み出しを行うメモリ 54 と、上記入力信号制御／表示制御部 52 により取り出されたデータに基づいて共通電極及び個別電極駆動パルス生成する表示用パルス生成器 55 と、表示用パルス生成器 55 から出力される共通電極駆動パルスをカウントするパルスカウンタ 56 と、パルスカウンタ 56 によりカウントされたパルス数を階調データに数値変換するためのルックアップテーブル 57 と、ルックアップテーブル 57 を介した階調データとメモリ 54 から読み出された個別電極駆動用表示データとの比較に基づいて個別電極の制御データを出力する表示データ生成器 58 と、表示用パルス生成器 55 及び表示データ生成器 58 の出力を個別電極駆動回路及び共通電極駆動回路に出力する出力バッファ 59 と、上記表示用パルス生成器 55 にクロックを与えるクロック生成器 60 とを備えている。なお、DATA (R)、DATA (G)、DATA (B) はそれぞれ 8 ビットでなる RGB データ、Vsync は垂直同期信号、Hsync は水平同期信号、DENB はデータイネーブル信号、CLK は同期信号を示す。

カスケード接続された横並びの各表示モジュール 30 は、それぞれ別々の固有

のモジュールアドレスがモジュールアドレス情報記憶部 51 にあらかじめ付与されている。また、表示及び表示制御用の信号は隣接する表示モジュールからスルー出力されており、このスルーされたデータ信号が入力信号制御／表示制御部 52 に供給される。

入力信号制御／表示制御部 52 は、図 19 に示すように、固有アドレスデータとデータ中の表示有効信号（DATA、ENB）及び垂直、水平同期信号から自表示モジュールが表示するデータのスタート位置を計算しこの位置から表示データをサンプリングしメモリ 54 に保存する。

具体的には、まず、垂直、水平方向の自モジュール位置を固有アドレス情報により見出す。これは表示モジュールが垂直、水平方向に対してどの位置に配置されているかという情報を固有アドレスが持つことにより実現され、固有アドレスの水平方向位置、垂直方向位置は固有アドレスのそれぞれの位置情報を表示モジュールの画素数に対応する 16 で乗算した数値である。

水平位置方向は水平同期信号入力後 ENB が有効になった時点からのどっとクロックをカウントし、固有アドレスに定められた位置（カウント値）までデータをスルーし、所定位置に達したクロックから 16 画素分のデータをサンプリングした後、以降のデータを再びスルーする。

垂直方向位置に対しても水平位置情報と同様に垂直同期信号の入力で垂直方向のラインカウンタをリセットし、データの有効信号（ENB）が入力されたラインをカウントする。このカウント値が固有アドレスに定められた位置（カウンタ値）までデータをスルーし、所定位置に達したクロックから 16 画素分のデータをサンプリングした後、以降のデータを再びスルーする。

この水平方向、垂直方向の処理を組み合わせることにより、表示モジュールが表示する表示データ中の  $16 \times 16$  画素分のデータをメモリ 54 に書き込むこととする。このメモリ 54 は 2 段構成となっており、外部からの表示信号を書き込むメモリ部と表示の際に読み出しを行うメモリ部とをもつ。通常は、2 つのメモリセルは書き込み、読み出しを表示の切り換え時の同期信号に合わせて交互にそれぞれの役目を交代する。



図18に示す構成によれば、各表示ユニットに固有のアドレスを付与することで、表示ユニットを組み合わせた際、個々の表示ユニットの位置情報とすることができ、入力される表示データ、同期データより自己の表示モジュールの表示すべきデータを記憶し、そのデータに基づいて表示制御を行うことが可能となると共に、個々の表示モジュールの識別が可能となる。このことにより、データベースを通じて表示モジュールの固有アドレスと制御データを搬送することで指定された表示モジュールのみが制御データを受け取ることが可能となり、各モジュールの制御が固有アドレスに定められた位置（カウント値）までデータをスルーし、所定位置に達したクロックから16画素分のデータをサンプリングした後、以降のデータを再びスルーすることが可能となる。

この表示制御の例としては、表示データのブランキング期間（データ無効時間）に表示モジュールの固有アドレスと表示データを入力することにより、例えば各モジュール間の輝度ばらつきを個々に補正するデータをモジュールに設定することが可能になり、均一な表示とするための調整作業の簡素化やメンテナンスの容易化が可能となる。

図20の（a）と（b）は、上記パルスカウンタ56とルックアップテーブル57及び表示データ生成部58により個別電極制御を行うための階調データ作成に係る階調表示処理を説明するブロック図とフローチャートである。

外部より表示モジュール内に展開される映像データは各色256階調（1670万色）の場合、赤（R）、緑（G）、青（B）データともに8ビットの2進データとして入力される。このデータは、表示モジュールの階調表現とは異なるためにデータのフォーマット変換を行う必要がある。表示モジュールでの階調表現のフォーマットは維持パルス数によって表現される。従って、入力された2進フォーマットのデータをパルス数に変換する必要がある。

しかし、通常、1シーケンスに入力される維持パルス数は、256パルスであるとは限らないため、2進映像データの大きさのみで表示データとすることはできない。このため、維持パルス数を数えるパルスカウンタ56と2進映像データの大小比較時に数値変換のためのルックアップテーブル57を必要とする。

ルックアップテーブル57は、入力されたデータに対して一定の規則性をもった大きさのデータを出力するように構成される。

図21はルックアップテーブル57の入出力特性を示すもので、カウンタ56から出力される維持パルスの10ビット(1024)の入力に対して0~255の値を昇順になるように割り当てている。その入出力特性は、維持パルス数、出力値ともに整数値であるため、とびとびの階段状のグラフとなり、このグラフの入出力曲線を変化させることで出力値に任意の維持パルス数を割り振ることが可能となる。

入力に対して出力を自由に変化させることが可能なルックアップテーブル57を用いることで、映像入力データと維持パルス数の大小関係の関連付けを行うことができ、1階調当たりの維持パルス数を制御し、表示セルの輝度の変調を行うことができる。

すなわち、表示データ生成部58を、図20の(a)に示すように、8ビットコンパレータ58R、58G、58Bで構成し、例えば放電表示を伴う維持パルス印加時には、個別電極の制御データを“1”(表示パルス出力)、非表示状態とする制御を行う場合のデータを“0”(非表示状態)とすると、表示データ生成部58は、図20の(b)に示すように、カウンタリセット(垂直同期入力に同期)に基づいて表示用パルス生成器55から出力される共通電極駆動パルスをカウントアップした10ビットカウンタでなるパルスカウンタ56の出力をルックアップテーブル57で変換した値f(維持パルスカウント数)と表示映像データとの比較として、

$$f \leq \text{表示映像データの時はデータ“1”}$$
$$f > \text{表示映像データの時はデータ“0”}$$

を求める。この比較演算は、表示モジュールのセル分繰り返され、個別電極へ与える各パルス毎に全表示データに対して行われ、図21に示す個別電極をスイッチング制御するための制御パルス供給部に転送されることにより、次の個別電極のパルスの有無、パルス形状、電圧値などに反映される。

この制御により入力映像データに応じた輝度を各セルに対して表示可能にして

いる。

従って、上記実施の形態 2 によれば、表示画面を構成する全表示セルを一括または任意の表示セルを部分的に駆動する共通電極と、表示セル 1 セル毎に個別駆動する個別電極とを備えた平面表示機に対し、上記個別電極に単位時間内に印加するパルス数によって輝度を変化させて階調表示する駆動回路を備えたので、表示セル毎に独立した電極に対して個々にスイッチング制御して階調制御することができる。

また、上記駆動回路は、上記個別電極に単位時間内に印加するパルスとして、比較的幅広の維持パルスと比較的幅狭の消去パルスの印加の制御に基づいて階調表示するようにしたので、消去パルスが印加された期間は放電表示を停止させることができ、階調表示を行うことができる。

また、上記平面表示パネルは、複数の表示パネルを行列配置して組み合わせた表示モジュールを構成要素とし、列方向に配列された表示モジュールがカスケード接続され、かつ各表示モジュールが電源に対して並列接続されてなり、各表示モジュールの駆動回路に制御信号を与える信号処理回路として、固有アドレス情報を記憶してなるアドレス情報記憶部と、入力されるデータをスルーさせると共に上記固有アドレスとデータ中の表示有効信号の位置から自己が表示するデータを取り出すための入力信号制御部と、上記入力信号制御部からスルーされたデータをカスケード接続された隣接する表示モジュールに出力させるためのスルーデータ用出力バッファと、書き込み制御信号に基づいて上記入力信号制御部により取り出されたデータを書き込むと共に読み出し制御信号に基づいてデータの読み出しを行うメモリと、上記入力信号制御部により取り出されたデータに基づいて共通電極及び個別電極駆動パルス生成する表示用パルス生成器と、上記表示用パルス生成器から出力される共通電極駆動パルスをカウントするカウンタと、上記カウンタによりカウントされたパルス数を階調データに数値変換するためのルックアップテーブルと、上記ルックアップテーブルを介した階調データと上記メモリから読み出された個別電極駆動用表示データとの比較に基づいて個別電極の制御データを出力する表示データ生成器と、上記表示用パルス生成器及び上記表

示データ生成器の出力を個別電極駆動回路及び共通電極駆動回路に出力する出力バッファとを備えたので、表示モジュールを組み合わせた際のデータ制御を行う場合に、各表示モジュールのアドレスに対応する表示データを取り込み、データに応じた個別制御が可能になる。

### 実施の形態 3.

次に、この実施の形態 3 では、実施の形態 1 により説明された電極構造を有する平面表示パネルの駆動方法について説明する。

この実施の形態 3 では、表示画素を  $10 \times 10 \text{ mm}^2$  とし、表示セルの大きさは  $3 \times 9 \text{ mm}^2$ 、共通電極 2 - 個別電極 3 間の電極ギャップを  $100 \mu\text{m}$  とし、さらに、放電ガス (Ne-Xe (5%))  $500 \text{ Torr}$  を放電空間の高さ  $600 \mu\text{m}$  中に封止している。

図 2 2 は図 1 3 に示す個別電極駆動部 2 1 の制御パルス供給部 2 1 b の内部構成をさらに詳細に示している。また、図 2 3 は平面表示パネルを駆動するための駆動シーケンスの一例を示している。

本平面表示パネルは、図 1 2 のように構成されているため、1 対の共通電極駆動回路と表示セル数分の個別電極駆動回路が必要となる。

次に動作について説明する。

通常、放電を用いた平面表示パネルでは、図 2 4 に示すように、1 対の電極、ここでは、共通電極とそれに同一面内で対向する 1 つの個別電極に交互に高電圧パルスを印加し、放電セルの絶縁体上に蓄積される壁電荷を用いて放電を維持させる。

しかし、この方法では、表示制御を行うためには、表示時に共通電極と同じ周波数の高電圧パルスを個別電極に印加しなければならず、個別電極の負荷が大きくなるために、共通電極の駆動と同程度の駆動素子が必要となる。

また、共通電極のみに放電用の高電圧パルスを印加した場合には、図 2 5 に示すように、いずれかの共通電極に印加される電圧パルスで発生した放電により壁電荷が蓄積され、外部から印加する電圧を弱めるように作用する。このため、以

降の電圧パルスでは各表示セル内での電圧は放電開始電圧に到達せず、つまり 1 回目の放電で発生した壁電位でパルスの電圧が負方向へクランプされ、放電開始電圧を越えなくなり、高電圧パルスを印加しているにも拘わらず放電が停止する。なお、放電開始電圧に到達した場合は、放電発光を発生するが、さらに壁電荷が蓄積され、外部の電圧を弱める方向に作用する。

このような状況において、放電表示を維持するために、以下の駆動方法を採用した。

まず、前述した共通電極への電圧パルス印加のみで放電が終了する現象に対して、図 23 に示すように、初期化パルスとして、共通電極への印加パルスの次に、全個別電極に放電維持電圧以上の波高値を持つ電圧  $V_3$  のパルス入力を行う。

本実施の形態 3 では、 $V_3 = 160\text{ V}$  としたが、最低放電維持電圧（約  $130\text{ V}$ ）以上で、かつ放電開始電圧（約  $220\text{ V}$ ）以下の電圧であればよい。

また、個別電極への印加パルスのパルス幅  $t_5$  は、放電遅れおよび壁電荷の蓄積時間を考慮して  $3\text{ }\mu\text{秒}$  以上とし、パルス幅の上限はシーケンス全体の時間配分からのみ規定され、 $10\text{ }\mu\text{秒}$  とした。

このようにすることで、共通電極への電圧印加で発生した放電により蓄積され、共通電極に印加される電圧を弱体化させる壁電荷を利用し、個別電極への電圧パルスで逆極性の壁電荷（共通電極に印加される電圧を補強する）を蓄積する作用を持たせることが可能となり、次の共通電極への電圧パルス印加で確実に放電が開始するようになる。

初期化パルスに対して、図 26 に示すように、通常の表示では、この共通電極、個別電極への電圧パルスの組み合わせによる放電は、共通電極への印加パルスで発生するが、共通電極へのパルスで放電が発生しない状態になっている場合には、共通電極への電圧パルスでは放電が発生せず、個別電極へのパルスで放電が発生する。

このような場合には、個別電極での放電により壁電荷が共通電極へのパルスを補強する方向に働くため、次の共通電極へのパルス印加の際に、開始、消去放電が確実に発生するようになる。

この制御により、放電が不安定な領域に移行した表示セルを定期的に初期化可能となり、安定した表示を行うことが可能となった。

表示の輝度は、ある所定期間（約 16 ms）中に共通電極へ印加する電圧パルスの数により規定され、この期間を 1 シーケンス期間としているが、本実施の形態 3 では、1 シーケンス当たりの共通電極への電圧パルス印加数を、初期化、放電維持を含めて 766 回とし、放電安定のための個別電極への電圧パルスの印加は、図 23 に示すように、共通電極へ印加する電圧パルスと組み合わせてシーケンスの先頭でシーケンス毎に実施している。

さらに、共通電極への電圧パルス印加で表示放電を発生させるためには、平面表示パネルの表示セルの放電開始電圧よりも十分高い電圧値のパルスを共通電極への印加パルスとすることで、放電開始を確実にすると共に、この放電で発生する壁電荷を十分大きくし、壁電荷により逆極性の放電開始電圧を保有するようにし、共通電極への印加パルスの立ち下げ時に消去放電と呼ばれる壁電荷のみが生成する電圧に起因する放電を発生させる。

この現象により、図 27 に示すように、共通電極への電圧パルス印加終了後は表示セル内には壁電荷が存在しなくなる。もしくは存在しても非常に微弱な電荷となるために、次の共通電極への電圧パルス印加時に放電を妨げる効果を持たなくなり、放電が共通電極へ印加する電圧パルス毎に発生するようになる。

以上に述べたような放電を発生させるためには、共通電極に印加する電圧パルスは高電圧となり、波高値が大きくなるため、所定時間内にパルスを立ち上げ、立ち下げするにはパルスエッジを急峻にする必要があり、急峻なエッジを持つパルスを印加する場合には、回路的な難しさおよび放電の制御が難しくなる等の問題が発生する。

このために、共通電極に印加するパルスは 2 段構成とし、2 つの電圧パルスを重畳させた複合電圧パルスの形とし、放電を開始させない 1 段目のパルスで DC 的なバイアスを印加し、2 段目のパルスで放電開始電圧以上の電圧を印加することで、放電を発生させる。

この方法により、表示セルに放電開始電圧が印加されてから駆動最高電圧に到

達するまでの時間を短縮でき、表示セルの放電遅れ以前に電圧の印加を完了できるようにする。

本実施の形態3では、図27に示すように、第1パルスの立ち上がりから第2パルスの立ち上がりまでの期間 $t_1$ は、1段目のパルス発生回路のON時間と第2パルス発生回路のON時間の関係により1 $\mu$ 秒以上とする必要があった。

また、放電セルの放電開始電圧が約220Vであることより、図27に示すように、電圧値 $V_2$ の第1パルス、電圧値 $V_1$ の第2パルスともに、波高値は160Vとし、重畳後の電圧値を320V ( $V_1 + V_2$ ) としている。

第1パルスの波高値は、最低放電維持電圧よりも大きく放電開始電圧よりも小さい範囲から選択する必要がある、重畳された電圧パルスの最高電圧は、表示セルの絶縁層の耐電圧により制限されるために、350Vを超えないようにした。

さらに、第1パルスの波高値に対して第2パルスの波高値を等しいか、もしくは第1パルスの波高値よりも大きくした方が表示に際し効率が良いこと、外部供給の電源数を減らせること、消去放電の確実な発生を保証できることより、実施の形態3では、第1パルス及び第2パルスの波高値を共に160V、重畳後の波高値を320Vとした。

この時に印加する最高電圧パルスは、開始放電後に、表示セルに消去放電を発生させるのに十分な壁電荷を蓄積する電圧(320V)に設定しており、かつ図27に示す最高電圧維持期間 $t_2$ を、壁電荷蓄積の遅れ時間に相当する3 $\mu$ 秒以上としているため、最高電圧維持期間 $t_2$ 中に消去放電を発生させるのに十分な壁電荷が蓄積される。

これは、図28に示すように、最高電圧維持期間 $t_2$ が短い間は放電が成長しないために、十分な輝度が得られず3 $\mu$ 秒以上の領域で安定することによる。

また、図27に示す第2パルスの立ち上がりから第1パルスの立ち下がり時間 $t_2 + t_3$ は、10 $\mu$ 秒以下とした。

これは、第1パルスの立ち下がりでの消去放電を発生させるために、第2パルスの立ち上がりで蓄積された放電による壁電荷と共に高いエネルギー状態にある放電ガス中の空間電荷を用いて放電を発生しやすくするためである。

これらの制御により、共通電極への第1パルスの立ち下げ時に、壁電荷および空間電荷による消去放電が発生する。この消去放電の際には、共通電極、個別電極ともに0Vに接続されることとなるために、共通電極、個別電極間の電位差はなく、壁電荷は蓄積されない。

この現象により、表示セルの状態は、表示放電を行わない場合と同様な初期状態にリセットされる。この壁電荷の初期化を完全に行うために、共通電極への複合電圧パルスの立ち下がり時から次の複合電圧パルスまでの期間 $t_4$ を5 $\mu$ 秒以上とし、消去放電による壁電荷の消去を完全なものとするこゝで、表示セルの初期化を行っている。

この複合電圧パルス間の時間は、図29に示すように、短い時間範囲では十分な消去放電が発生しないために放電が安定せず輝度が低下し、4~5 $\mu$ 秒以上の時間になるほど安定となっていることが判る。

従って、共通電極に印加するパルスの形状は、つまり、図27により規定した各時間配分は、

$$\begin{aligned} t_1 &> 1 \mu\text{秒} \\ 3 \mu\text{秒} < t_2 &\leq 9 \mu\text{秒} \\ t_3 &> 1 \mu\text{秒} \end{aligned}$$

とし、さらに時間制約として

$$\begin{aligned} t_2 + t_3 &< 10 \mu\text{秒} \\ t_4 &> 5 \mu\text{秒} \end{aligned}$$

としている。

ここで、図30に示すように、共通電極に印加する複合電圧パルスの生成は、1段目をプッシュプルスイッチ回路で構成し、2段目はチャージポンプ回路で供給する。

この回路では、2段目の電圧パルス印加に際しては、平面表示パネルの固有負荷容量に対して十分容量の大きなコンデンサ $C_d$ で充放電を行うが、チャージポンプ側のスイッチ回路はスイッチ回路周辺の寄生容量を駆動するだけで良いのでメインのスイッチング素子ほどの耐電力を持つ必要が無く回路を小型化できる。



また、この回路では、表示パネルの容量へ充電した電荷はメインのスイッチング素子3に並列接続されたダイオードD1を通してほぼ駆動コンデンサC<sub>d</sub>に回収されるため、電力のロスは最小限に抑えられることとなる。

ここで、この回路の詳細動作について図5により説明する。

第1パルスは、スイッチング素子Q3、Q4の状態により出力電圧がコントロールされ、スイッチング素子Q4がoff、スイッチング素子Q3がonの状態、電圧V<sub>2</sub>が電極へ印加され、スイッチング素子Q3がoff、スイッチング素子Q4がonで、0V接地となる。

第2パルスは、スイッチング素子Q1、Q2の状態がコンデンサC<sub>d</sub>を通して電極へ印加されることとなる。

まず、スイッチング素子Q1がoff、スイッチング素子Q2がon時には、コンデンサC<sub>d</sub>の片端は0Vに接地される。この状態では、コンデンサC<sub>d</sub>にはダイオードD2を通して充電され、コンデンサC<sub>d</sub>両端の電位はV<sub>2</sub>となる。

この状態で、スイッチング素子Q2をoffし、スイッチング素子Q1をonすると、接地されていたコンデンサC<sub>d</sub>の端子はV<sub>1</sub>電位となり、コンデンサC<sub>d</sub>の他端には0V（接地電位）から見ると、（V<sub>1</sub>+V<sub>2</sub>）の電圧が発生することとなる。この電位はスイッチング素子Q3を通して共通電極へ供給されることとなる。

従って、共通電極へ印加する電圧波形は以下に示す手順でスイッチング素子をon/offすることで、図23、図27に示すような複合電圧波形となる。

	Q1	Q2	Q3	Q4
① パルス 0V (GN) 時	off	on	off	on
② 1段目パルス立ち上げ時	off	on	off	off
③	off	on	on	off
④ 2段目パルス立ち上げ時	off	off	on	off
⑤	on	off	on	off
⑥ 2段目パルス立ち下げ時	off	off	on	off
⑦	off	on	on	off

⑧ 1 段目パルス立ち下げ時	off	on	off	off
⑨	off	on	off	on

なお、各遷移状態時の1つ目の状態は貫通電流を防ぐための中間制御とする。

さらに、個々の状態間の遷移（⑨、④、⑥、⑧）時はプッシュプルに接続されているスイッチング素子に貫通電流が流れないように、0.5  $\mu$ 秒程度の期間、この状態とし、パルス期間を決定するのは、①、③、⑤、⑨の期間とする。これらの遷移期間の幅は使用しているスイッチング素子（トランジスタ、FET）により決定されるTurn on, Turn off時間に相当する。

また、この方式をとることにより、第1パルスの生成回路は、電力の回収回路を付加し、表示セル、パネルの容量負荷分への無効電力を回収する必要があるが、第2パルスのパネル容量負荷に対する充電電流分の電荷は、パルス除去時にスイッチング素子Q3のボディダイオードD1を通してパルス生成コンデンサへ還元されるため、パネルの容量負荷に対する電力消費は発生しなくなるというメリットがある。

そして、この表示セルの表示放電制御は、個別電極に電圧バイアスを印加することによって行った。

図31に示すように、本方式の表示セルでは、共通電極に印加される電圧パルスの波高値に依存する個別電極のDCバイアス値V4によって放電を継続する電圧領域と放電を停止する電圧領域が存在する特性を持つことが判っている。

図31に規定されていない放電の抑制領域の上限は、表示パネルの放電開始電圧であり、本実施の形態3の表示パネルの場合、約220Vであるため、共通電極への複合電圧パルスの波高値が低い方がマージンが得やすい。

共通電極へ印加する電圧値V1, V2を160V（V1+V2:320V）とした場合、放電抑制の制御マージンは約100V、放電維持の制御マージンは60Vと非常に大きくなっている。この特性を利用することで、表示を継続する表示セルには放電領域の電圧を、表示を消す表示セルには放電抑制領域の電圧を個別電極に印加することにより表示のon/off制御が可能となる。

この制御によれば、図23に示すように、個別表示セルの表示のon, off

や輝度変更（階調表示）は、対応する個別電極へのDC電圧印加期間を調整するだけで良く、共通電極に印加する複合電圧パルスに対してどの程度マスクする放電抑制領域のDC電圧（V4）印加期間を持つかという制御により、輝度変調（階調表現）が可能となる。

このため、従来の気体放電パネルのように、輝度期間を複数組み合わせることにより輝度変調（階調表示）を行うのではなく、共通電極への複合電圧パルスをマスクする期間の制御により輝度変調（階調表示）を行うこととなり、個別電極への電圧パルス印加の周期は最大2回／（1シーケンス）となる。従って、数十KHzを超える周波数で駆動される共通電極とは異なり、耐電力の小さな回路を使用可能となり、集積化された駆動回路の使用が可能となった。

ここで、輝度変調（階調表示）は外部から入力される表示データによって行われるが、本実施の形態3の如く、表示を256段階の輝度表示で行うものとする、～770回の共通電極に印加するパルスを相重複する256通りの期間に分割し、入力されるデータにより分割された期間を選択し、表示データに対応する個別電極を通して放電抑制電圧を印加する。この動作により、入力された表示データに応じた輝度を持つ表示を行うことが可能となる。

階調間の輝度差は、階調表示の際に共通電極に印加される発光に寄与する（個別電極に放電抑制電圧が印加されていない）複合電圧パルスの数で生じるために、個別電極に放電維持電圧を印加した期間中の共通電極へ印加する複合電圧パルス数を、階調間、表示セル間で調整することにより、表示入力データに応じたさまざまな階調特性を持たせることが可能となる。

この実施の形態3では、1階調に3複合電圧パルスを割り当てることで、入力データ表示輝度に直線的な相関を持たせ、輝度変調（階調表示）のため、個別電極の制御は、前述したように、個別電極の駆動周波数を下げるためにシーケンス先頭から所定輝度が得られる期間を表示期間とし、それ以降のシーケンス後半部を表示抑制期間とすることで、表示のために駆動される個別電極の周波数はシーケンス（フレーム）周波数と同一とし、非常に低い周波数で駆動制御可能とした。例えば全表示複合電圧パルス数が765の場合、シーケンス先頭の共通電極へ

の印加パルスから順に数えて、階調と放電領域電圧印加パルス及び放電抑制領域電圧印加パルスを次のようにする。

階調 (LUTの比較データ出力)	放電領域電圧印加	放電抑制領域電圧印加
0	0パルス	765パルス
1	3パルス	762パルス
.	.	.
.	.	.
254	762パルス	3パルス
255	765パルス	0パルス

このように、階調数に応じて共通電極へ印加される複合電圧パルス数だけの個別電極への放電抑制領域DC電圧のバイアス領域を設けることにより、個別セルの輝度制御が可能となる。

また、この個別電極への電圧印加の立ち上げ、立ち下げは、図23に示すように、共通電極へ印加する複合電圧パルス間に行うものとした。これは、共通電極へ印加される複合電圧パルスによって発生する放電現象は1複合電圧パルスで完結されるため、放電の制御を複合電圧パルス中で行った場合、複合電圧パルスで発生する放電が完結しないままに終了するためである。

この立ち上げ、立ち下げの複合電圧パルスとの間隔は表示セル内で発生する放電の時間特性に影響されるが、本実施の形態3の場合、消去放電は約5 $\mu$ 秒程度で収斂するため、個別電極への電圧印加制御は、この後行うものとし、立ち上げ、立ち下げの際の複合電圧パルスとの時間は、 $t_5 > 5\mu\text{秒}$ 、 $t_6 > 0.5\mu\text{秒}$ が必要であった。

また、個別電極への電圧印加制御が共通電極への複合電圧パルスの立ち上げと同期した場合、第1パルスの立ち上げで放電の発生する可能性があり、制御時間配分中、十分な時間を与える必要がある。

本実施の形態3では、以上の共通電極への電圧パルス数、時間定義により、共通電極への印加パルスを

t 1 : 2  $\mu$ 秒

t 2 : 5  $\mu$ 秒

t 3 : 2  $\mu$ 秒

t 4 : 11  $\mu$ 秒 (ただし初期化シーケンス時 25  $\mu$ 秒)

t 5 : 6  $\mu$ 秒 (初期化シーケンス時個別電極への電圧パルス立ち上がり  
で 10  $\mu$ 秒)

t 6 : 5  $\mu$ 秒 (初期化シーケンス時個別電極への電圧パルス立ち下がり  
で 5  $\mu$ 秒)

とし、共通電極への複合電圧パルスの平均周波数を約 46 KHz とした。

また、これらの階調表現を行うために、個別電極の制御は以下のように行っている。

図 20 に示す階調表示制御ブロック図及び図 32 に示すパルスのタイミング図に示すように、入力された映像データは、表示に必要な画素分だけ画像メモリに保存され、表示シーケンス中に読み出される。画像メモリの内容は、表示セルの位置情報に応じた個別電極を駆動するドライバ回路の個々の出力制御部分へ転送される。

この映像データの転送は以下の工程によって行われる。

1) . 画像メモリに格納された映像データは駆動ドライバの出力先の画素位置に対応した順番でメモリから読み出される。

2) . 読み出されたデータは共通電極に印加された電圧印加パルス数をカウントした値を LUT で変換した比較データと比較され、映像データが比較データと等しいか大きい場合、映像データを “L” データ、映像データが小さくなった場合は “H” データとする。

3) . 2) 項の 2 値化された映像データを個別電極の駆動 IC へ転送する。

この繰り返しを共通電極へ電圧パルスを印加するのに先立ってパルス毎に行う。駆動 IC に転送された 2 値化データは、ラッチ信号によって出力され、次のラッチ信号まで状態を保持される。また、このラッチ信号のタイミングで個別電極への電圧印加のタイミングを制御する。

ここで、2 値化されて設定された映像データにしたがって個別電極の駆動 I C は出力電圧値を決定し、映像データが“L” に設定された出力は放電維持領域の電圧を出力し、映像データが“H” に設定された出力は放電抑制領域の電圧を出力する。

図 2 3 に波形例を示しているように、この時の L U T の内容は、前述したシーケンス先頭からの共通電極への複合電圧パルス数から変換された値に変換され、映像データと比較され 2 値化されているため、映像データが 2 5 5 の時（最大輝度時）は 1 シーケンス全体で放電維持領域の出力、映像データが 0 の時は 1 シーケンス中全て放電抑制領域の電圧出力となる。

本実施の形態 3 では、放電維持電圧領域の出力として 0 V を印加、放電抑制領域の電圧として 1 6 0 V を印加した。

この制御により、共通電極に印加するパルス毎に映像データと共通電極印加パルスの数とが常に比較され、放電の維持・抑制の期間が決定さる。この結果、1 シーケンス中の表示輝度が共通電極への電圧パルス単位で可変可能であり、放電の維持領域が時間的に連続になることで、シーケンス間の輝度情報が相関しあうという現象が発生しなくなる。また、個別電極のスウィッチングは最大初期化時と表示制御時の 2 回となり、スウィッチング負荷が小さくなるため、PDP 用のドライバ I C を流用することが可能となりコスト、実装、信頼性面で大きく寄与している。

#### 実施の形態 4.

上述した実施の形態 3 では、表示セル初期化のための複合電圧パルスをシーケンス（表示フレーム）毎に挿入したが、この初期化シーケンスは放電発光を伴うために暗室コントラストを低下させる原因となるため、初期化は複数フレームで 1 回の割合で挿入しても良く、この場合は表示の安定性を損なわず高暗コントラストの表示が可能となる。

#### 実施の形態 5.

また、実施の形態 3 では、個別電極の波高値として 0 V ～（放電抑制電圧）間のスイッチ動作で放電を制御していたが、個別電極の表示制御時の電圧は表示時 0 V である必要はなく、出来る限り放電領域内の高い電圧に設定することで制御のためのスイッチングに要する電圧が低下し、低電圧の駆動回路が使用可能となる。例えば共通電極に印加する複合電圧の第 1 パルス、第 2 パルスの電圧波高値を 160 V とした場合、個別電極への電圧は、表示の場合 50 V 印加、非表示の場合 100 V 印加で制御可能となる。

この場合は、実施の形態 3 の動作に対して約 1 / 3 分の耐圧を持つ駆動回路で動作可能となり、信頼性、コストで有利となる。

#### 実施の形態 6.

また、実施の形態 3 では、初期化シーケンスの際、共通電極への複合電圧パルスに引き続き全個別電極へのパルス印加を行ったが、表示セルの安定化のためには、個別電極へのパルス印加後に共通電極への複合電圧パルス印加としても良い。この際、初期化の複合電圧パルスは表示放電の 1 回目のパルスとカウントしても良いため、別途初期化シーケンスを挿入した場合よりもコントラストは得やすくなる。

#### 実施の形態 7.

実施の形態 3 では、階調表示のために放電抑制期間を入力データに対してリニアとしたが、前述したようにリニアに割り振る必要はなく、TV 信号等の映像信号規格に対応した  $\gamma$  値に合わせて輝度変調を行ってもよい。例えば、入力データ（256 階調表示の場合）に対して共通電極へのパルス数を 765 とした場合、複合電圧パルス数（放電領域のバイアス）

$$= \text{INT} (765 \times (\text{入力データ} / 255) 1 / \gamma)$$

で示す計算式で計算される複合電圧パルス数（複合電圧パルスが有効な期間）分だけ個別電極を放電領域に保持し、 $(765 - (\text{複合電圧パルス数}))$  数の期間は放電抑制領域の電圧とする。

このようにすることで、外部にて表示デバイス対応の逆 $\gamma$ 変換を行う必要がなくなり、高品位な表示が複雑な計算処理を行わずに可能となる。

また、共通電極へ1シーケンス中に印加するパルス数は765とする必要はなく、最低表示に必要とする階調数以上であればよく、放電特性により制限される複合電圧パルスの最高周波数以下の数であれば、上述した計算式のうち765を置き換えれば階調制御の期間が計算される。この計算値をLUTとすることで任意の階調表示が可能となる。

さらに、実施の形態3では、階調表示のための1シーケンスにおける表示期間を先に設け、非表示期間を後にしたが、この順序は逆でもよい。

以上のように、上述した実施の形態3～7で説明した平面表示パネルの駆動方法によれば、共通電極で発生させる放電は1つの複合電圧パルスで放電の開始と消去放電による表示セルの初期化が行われるため、表示動作を行わせるための動作マージンが大きく、さらに、一定間隔で全個別電極に表示初期化パルスを挿入することで共通電極を駆動することによる放電が不安定になった場合でも表示を安定に維持できる機能を持つため非常に安定な表示が可能である。

また、共通電極に放電の維持機能を持たせ、全表示セルを一括で駆動でき、表示の制御はより低い周波数で個別電極を駆動することで行うことが可能であるため、回路構成が簡単になり、つまり電力の大きな回路は共通電極駆動に集中でき、個別電極駆動はより低電圧、低消費電力の回路で構成できることになり、安価であり、信頼性の高い平面表示パネルを製造できる。

さらに、階調表示が1シーケンス中で連続的な期間の設定で可能なことより、階調性のある高品位な表示が可能な平面表示パネルを得ることができる。

#### 産業上の利用の可能性

以上のように、この発明に係る平面表示パネルとその製造方法及び制御装置並びにその駆動方法は、表示パネルの1表示セル毎に個別駆動が可能であり、かつ平面厚さを薄くすることができる電極構造を有する平面表示パネルを提供することができると共に、表示セル毎に独立した個別電極に対して個々にスイッチング



制御して階調制御を行うことができ、さらに、表示動作を行わせるための動作マージンが大きく、かつ安定した表示が可能であり、信頼性の高く、階調性のある高品位な表示が可能な平面表示パネルを提供する。

## 請 求 の 範 囲

1. 第1の透明基板と、  
上記第1の透明基板上に設けられた一対の電極と、  
上記一対の電極と対向する部分に凹部が設けられて表示セルの放電空間を形成する第2の基板と  
を備えてなる平面表示パネル。
2. 請求項第1項記載の平面表示パネルにおいて、上記第1の透明基板上に設けられた一対の電極は、上記第1の透明基板上に複数併設されて電極群を構成してなることを特徴とする平面表示パネル。
3. 請求項第1項記載の平面表示パネルにおいて、上記凹部は、矩形でなり所望の深さを有することを特徴とする平面表示パネル。
4. 請求項第3項記載の平面表示パネルにおいて、上記凹部は、300～600  $\mu\text{m}$ の範囲の深さを有することを特徴とする平面表示パネル。
5. 請求項第1項記載の平面表示パネルにおいて、上記第1の透明基板上に設けられて上記一対の電極を被覆する誘電体層を設けたことを特徴とする平面表示パネル。
6. 請求項第1項記載の平面表示パネルにおいて、上記第2の基板の上記凹部の底面に蛍光体層を設けたことを特徴とする平面表示パネル。
7. 請求項第6項記載の平面表示パネルにおいて、上記第2の基板の上記凹部の底面と上記蛍光体層との間に反射層を設けたことを特徴とする平面表示パネル。
8. 請求項第1項記載の平面表示パネルにおいて、上記一対の電極は、上記第1の透明基板上に設けられて表示画面を構成する全表示セルを一括または任意の複数の表示セルを部分的に同時駆動する共通電極と、上記第1の透明基板上に設けられて表示画面を構成する表示セル1セル毎に個別駆動する個別電極とを有することを特徴とする平面表示パネル。
9. 請求項第8項記載の平面表示パネルにおいて、上記第2の基板に形成され

る凹部の深さは、放電に関与する 1 表示セル内の共通電極と個別電極との間隙の 3 倍以上とすることを特徴とする平面表示パネル。

10. 請求項第 8 項記載の平面表示パネルにおいて、上記第 2 の基板に形成される各表示セル間に排気溝を設けると共に、上記第 2 の基板に上記排気溝と連通される排気用スルーホールを設けたことを特徴とする平面表示パネル。

11. 請求項第 8 項記載の平面表示パネルにおいて、上記第 1 の透明基板上の表示画面を構成する表示セル間の位置に設けられる上記共通電極及び上記個別電極上にリードピンを立設すると共に、上記第 2 の基板の上記リードピンと対向する位置に上記リードピンを表示画面の背面側に引き出す電極取り出し用スルーホールを設けたことを特徴とする平面表示パネル。

12. 請求項第 11 項記載の平面表示パネルにおいて、上記リードピンは、上記共通電極及び上記個別電極の母電極材料と同じ金属材料を主成分とするペーストまたはロウ材により上記共通電極及び上記個別電極の母電極に融着してなることを特徴とする平面表示パネル。

13. 請求項第 11 項記載の平面表示パネルにおいて、上記リードピンは、電極に融着される大径の下端部を有し、上記電極取り出し用スルーホールは、上記リードピンの下端部が嵌挿される大径部と、上記リードピンの先端部が延出される小径部とでなる段差形状を有することを特徴とする平面表示パネル。

14. 請求項第 12 項記載の平面表示パネルにおいて、上記リードピンの融着部付近に、上記第 1 と第 2 の基板の封止時に封止材の表示セルへの流入を防止する封着用ガードを設けたことを特徴とする平面表示パネル。

15. 第 1 の透明基板上に個別電極の透明電極をパターンニングする工程と、  
上記透明電極が形成された第 1 の透明基板上に個別電極と共通電極の母電極を形成する工程と、

上記第 1 の透明基板の個別電極と共通電極を被覆する誘電体層を形成する工程と、

上記誘電体層の電極取り出し窓を介して上記個別電極と上記共通電極上にリードピンを立設するピン組み立て工程と、

上記ピン組み立て工程を経た第1の透明基板上に保護膜を形成する工程とを有すると共に、

上記第2の基板上に表示画面を構成する各表示セルの放電空間を形成するための凹部と上記共通電極及び上記個別電極上に立設されるリードピンを表示画面の背面側に引き出す電極取り出し用スルーホール及び排気用スルーホールを刻設する工程と、

上記表示セルを形成する各凹部の底面に蛍光体層を形成する工程とを有し、

かつこれら工程を経た第1の透明基板のリードピンを第2の基板のスルーホールを経て外部に延出させるべく第1と第2の基板を嵌合させてパネルを組み立てる工程と、

組み立てられた第1と第2の基板を封着する工程とを有する平面表示パネルの製造方法。

16. 表示画面を構成する全表示セルを一括または任意の表示セルを部分的に駆動する共通電極と、表示セル1セル毎に個別駆動する個別電極とを備えた平面表示パネルに対し、上記個別電極に単位時間内に印加するパルス数によって輝度を変化させて階調表示する駆動回路を備えた平面表示パネルの制御装置。

17. 請求項第16項記載の平面表示パネルの制御装置において、上記駆動回路は、上記個別電極に単位時間内に印加するパルスとして、比較的幅広の維持パルスと比較的幅狭の消去パルスの印加の制御に基づいて階調表示することを特徴とする平面表示パネルの制御装置。

18. 請求項第16項記載の平面表示パネルの制御装置において、上記平面表示パネルは、複数の表示パネルを行列配置して組み合わせた表示モジュールを構成要素とし、列方向に配列された表示モジュールがカスケード接続され、かつ各表示モジュールが電源に対して並列接続されてなり、

各表示モジュールの駆動回路に制御信号を与える信号処理回路として、

固有アドレス情報を記憶してなるアドレス情報記憶部と、

入力されるデータをスルーさせると共に上記固有アドレスとデータ中の表示有

効信号の位置から自己が表示するデータを取り出すための入力信号制御部と、

上記入力信号制御部からスルーされたデータをカスケード接続された隣接する表示モジュールに出力させるためのスルーデータ用出力バッファと、

書き込み制御信号に基づいて上記入力信号制御部により取り出されたデータを書き込むと共に読み出し制御信号に基づいてデータの読み出しを行うメモリと、

上記入力信号制御部により取り出されたデータに基づいて共通電極及び個別電極駆動パルスを生成する表示用パルス生成器と、

上記表示用パルス生成器から出力される共通電極駆動パルスをカウントするカウンタと、

上記カウンタによりカウントされたパルス数を階調データに数値変換するためのルックアップテーブルと、

上記ルックアップテーブルを介した階調データと上記メモリから読み出された個別電極駆動用表示データとの比較に基づいて個別電極の制御データを出力する表示データ生成器と、

上記表示用パルス生成器及び上記表示データ生成器の出力を個別電極駆動回路及び共通電極駆動回路に出力する出力バッファと

を備えたことを特徴とする平面表示パネルの制御装置。

19. 複数のセルのそれぞれに共通に駆動される共通電極及び個別に駆動される個別電極を並設し、上記共通電極に電圧パルスを印加して上記共通電極及び上記個別電極上に設けられた誘電体層上に放電による発光を生起させる平面表示パネルに対し、

上記個別電極に電圧パルスを印加して上記誘電体層上に蓄積された壁電荷の極性を反転させるステップと、

その後、上記共通電極に電圧パルスが印加して上記極性の反転による壁電荷の電界が加わるようにするステップと

を有する平面表示パネルの駆動方法。

20. 請求項第19項記載の平面表示パネルの駆動方法において、上記共通電極に印加される一定の電圧パルス数を1シーケンスとしたときに、1又は複数の

シーケンス毎に上記個別電極に上記電圧パルスを印加することを特徴とする平面表示パネルの駆動方法。

21. 請求項第19項記載の平面表示パネルの駆動方法において、上記共通電極に印加される電圧パルスは、その電圧パルスの立ち上がり時に上記極性の反転による壁電荷の電界が加わって放電を開始させ、その電圧パルスの立ち下がり時にその放電による壁電荷によって消去放電を起こさせるようにすることを特徴とする平面表示パネルの駆動方法。

22. 請求項第21項記載の平面表示パネルの駆動方法において、上記共通電極に印加される電圧パルスは、放電開始電圧以下の第1の電圧パルスと、この第1の電圧パルス期間内に重畳される第2の電圧パルスとでなり、放電開始電圧以上の電圧値を有する複合電圧パルスであることを特徴とする平面表示パネルの駆動方法。

23. 請求項第22項記載の平面表示パネルの駆動方法において、上記第1の電圧パルスの立ち下がり時に上記壁電荷によって消去放電を起こさせることを特徴とする平面表示パネルの駆動方法。

24. 請求項第23項記載の平面表示パネルの駆動方法において、上記共通電極への複合電圧パルスにより消去放電を起こさせた後、上記個別電極に電圧パルス印加して放電を停止させるステップを有することを特徴とする平面表示パネルの駆動方法。

25. 請求項第19項記載の平面表示パネルの駆動方法において、上記共通電極に電圧パルスを印加して放電を生じさせた際に、放電を維持すべき表示セルの個別電極に対しては放電維持領域における電圧を印加すると共に、放電を停止すべき表示セルの個別電極に対しては放電抑制領域における電圧を印加することを特徴とする平面表示パネルの駆動方法。

26. 請求項第20項記載の平面表示パネルの駆動方法において、上記共通電極に印加される一定の電圧パルス数を1シーケンスとしたときに、そのシーケンスの1部の電圧パルス数に対応して放電を維持する放電維持領域の電圧を個別電極に印加して表示維持期間とし、その1シーケンスの他の部分の電圧パルス数に

対応して放電を停止させる放電抑制領域の電圧を個別電極に印加して表示抑制期間として、階調表示を行うことを特徴とする平面表示パネルの駆動方法。

27. 請求項第26項記載の平面表示パネルの駆動方法において、上記1シーケンスの前半部分を表示維持期間とし、その後半部分を表示抑制期間とすることを特徴とする平面表示パネルの駆動方法。

28. 請求項第26項記載の平面表示パネルの駆動方法において、上記1シーケンスとして上記共通電極に印加する一定の電圧パルス数は、階調数以上であって、1階調につき複数の電圧パルス数を割り当てたことを特徴とする平面表示パネルの駆動方法。

図 1

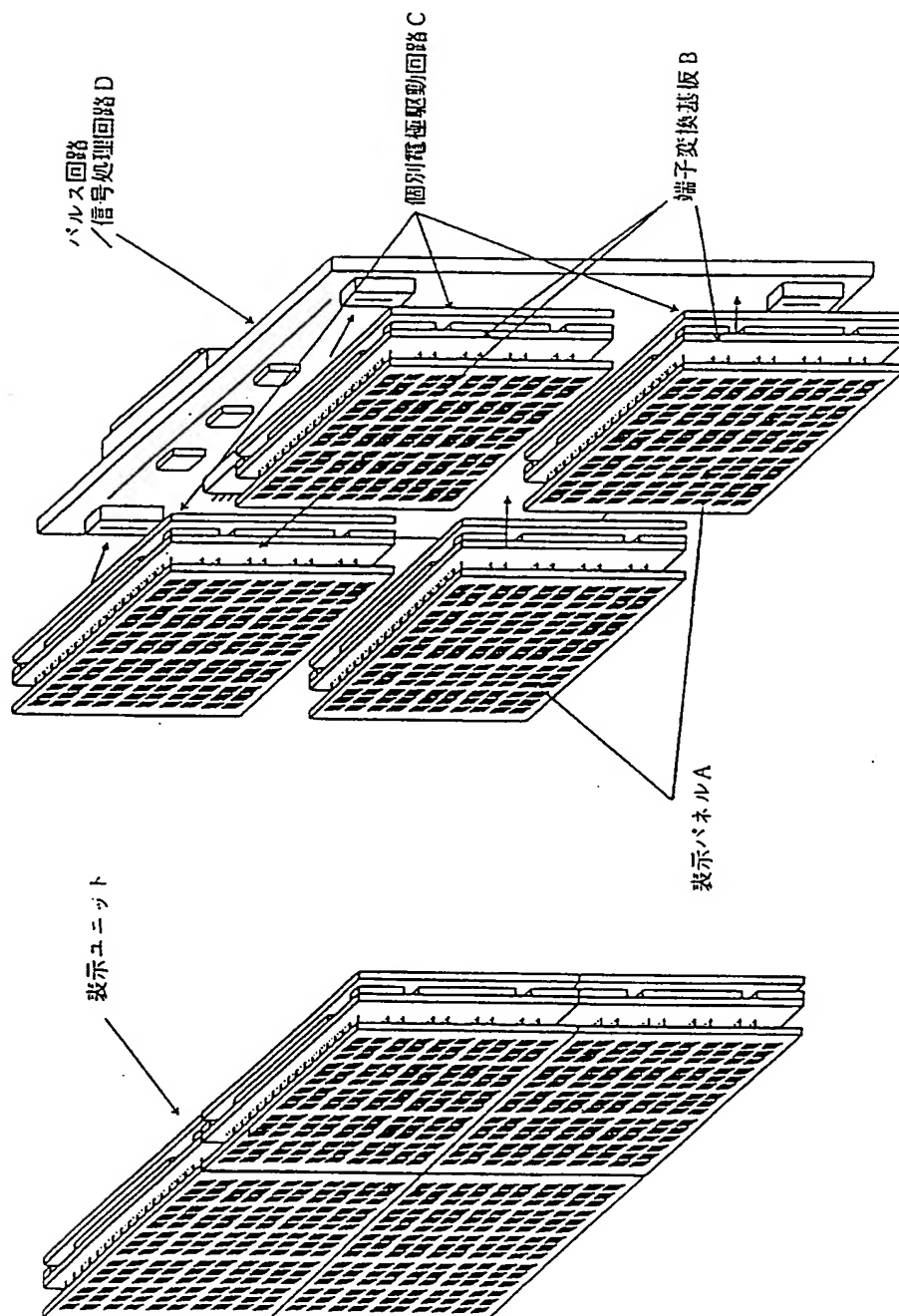
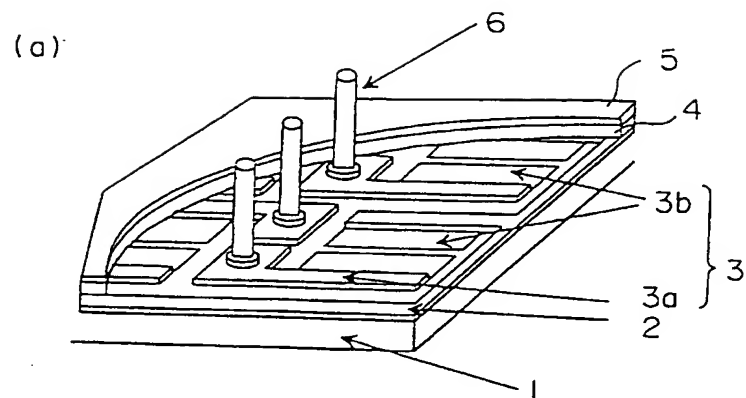
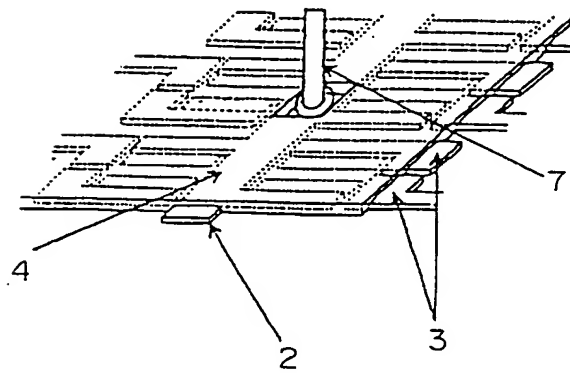




図 2

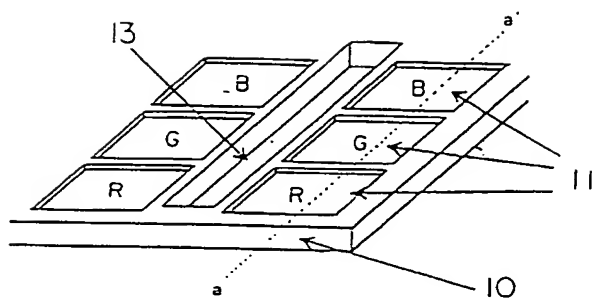


(b)



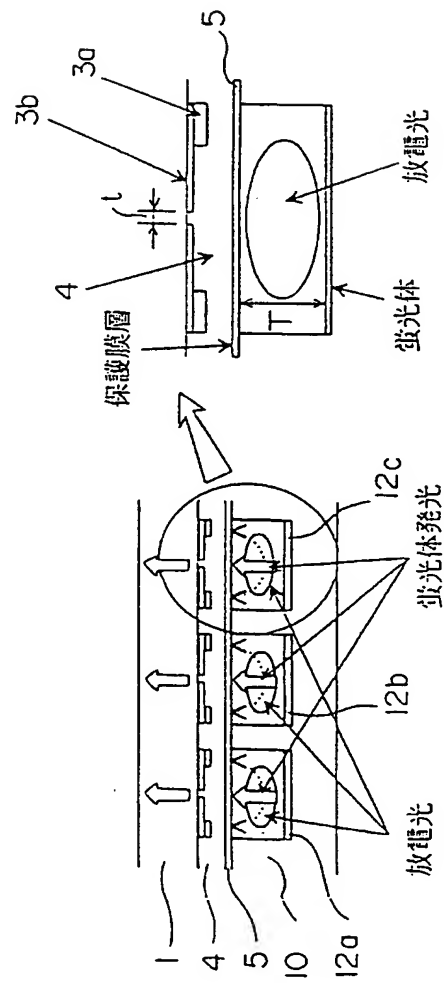
- |               |           |
|---------------|-----------|
| 1 : フロントガラス基板 | 4 : 誘電体層  |
| 2 : 共通電極      | 5 : 保護膜層  |
| 3 : 個別電極      | 6 : リードピン |

図 3



- 10 : バックガラス基板
- 11 : 凹部
- 13 : 電極取り出し用  
スルーホール

図 4



12 (12a~12c) : 蛍光体層

図 5

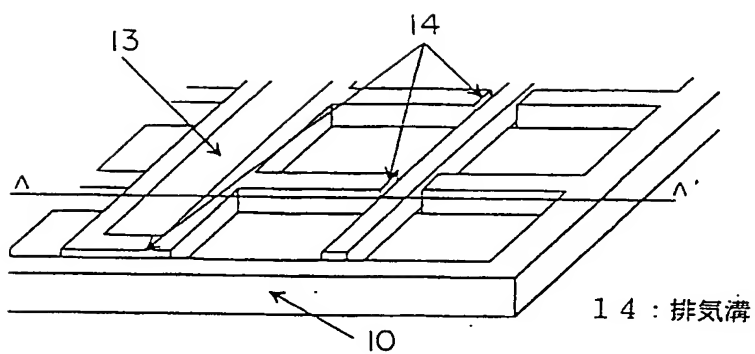


図 6

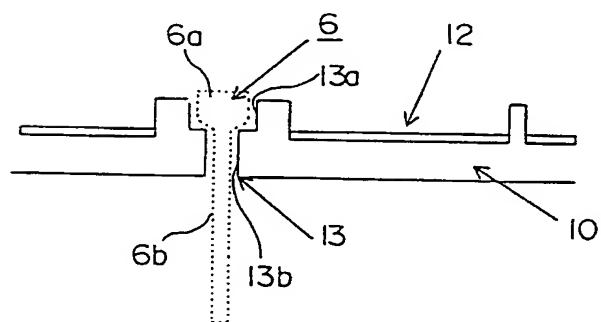


図 7

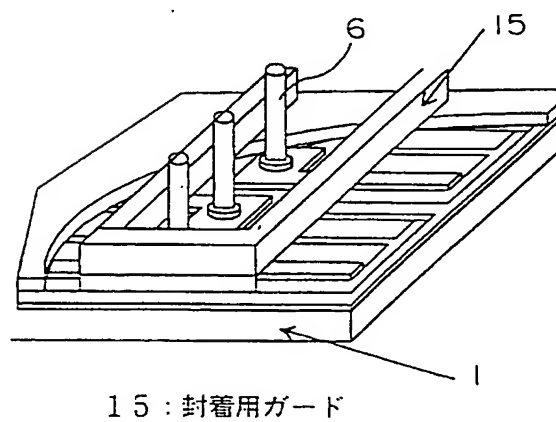


図 8

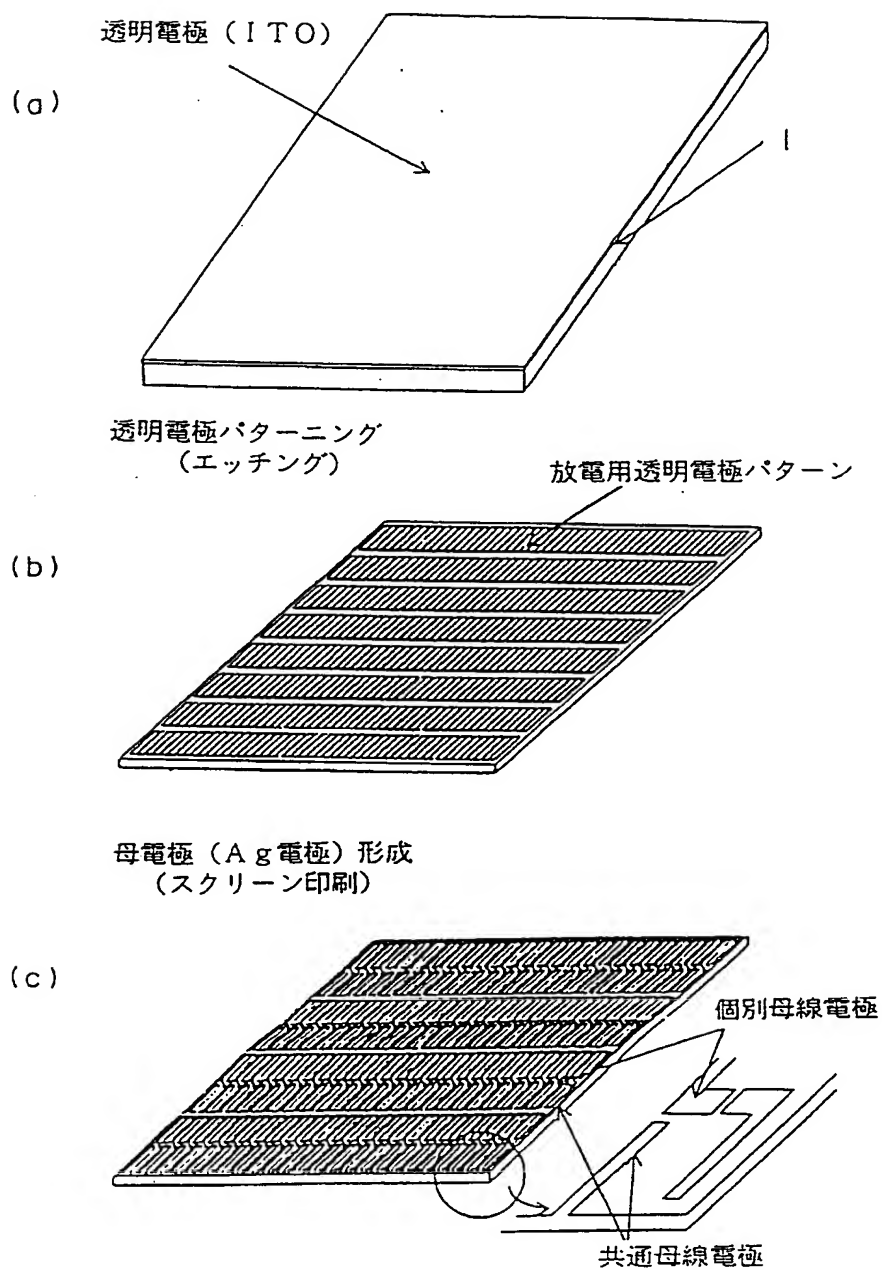


図 9

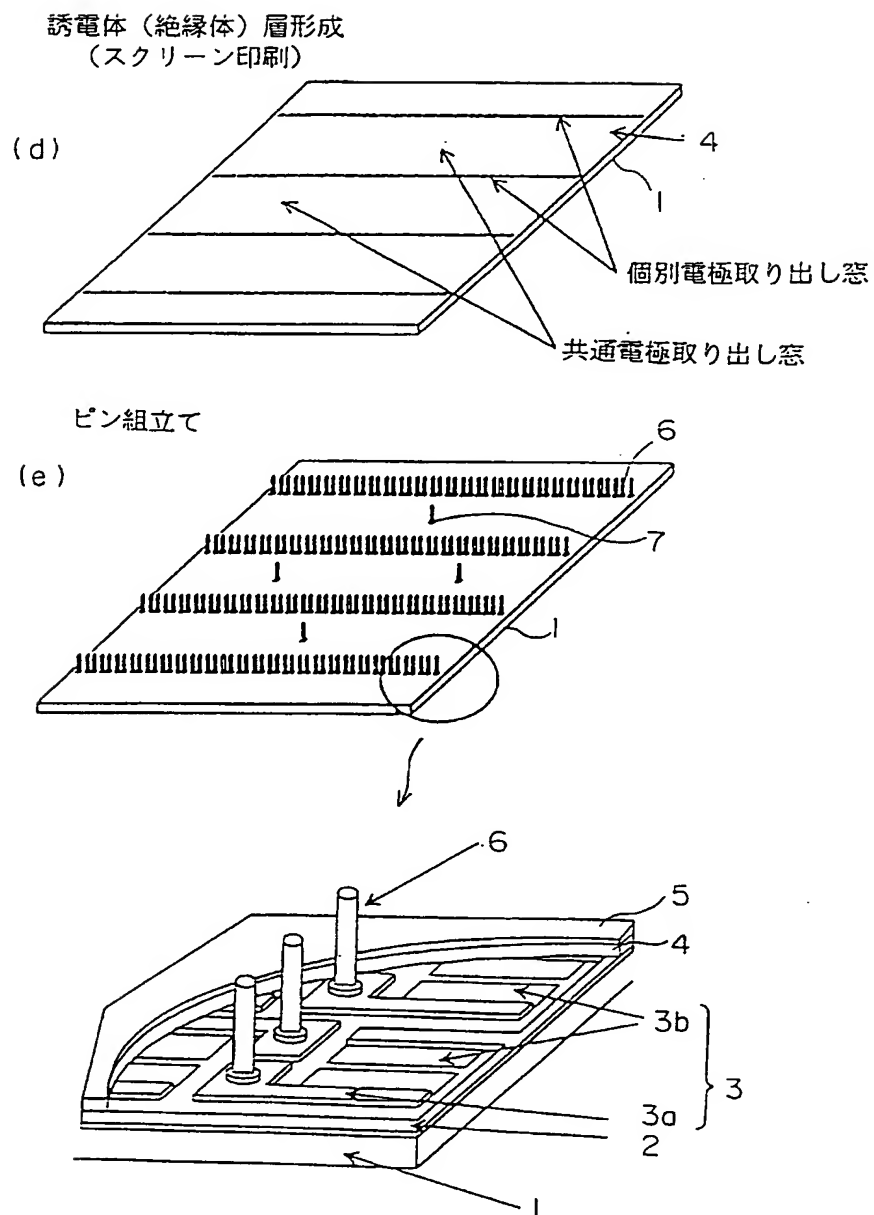


図 10

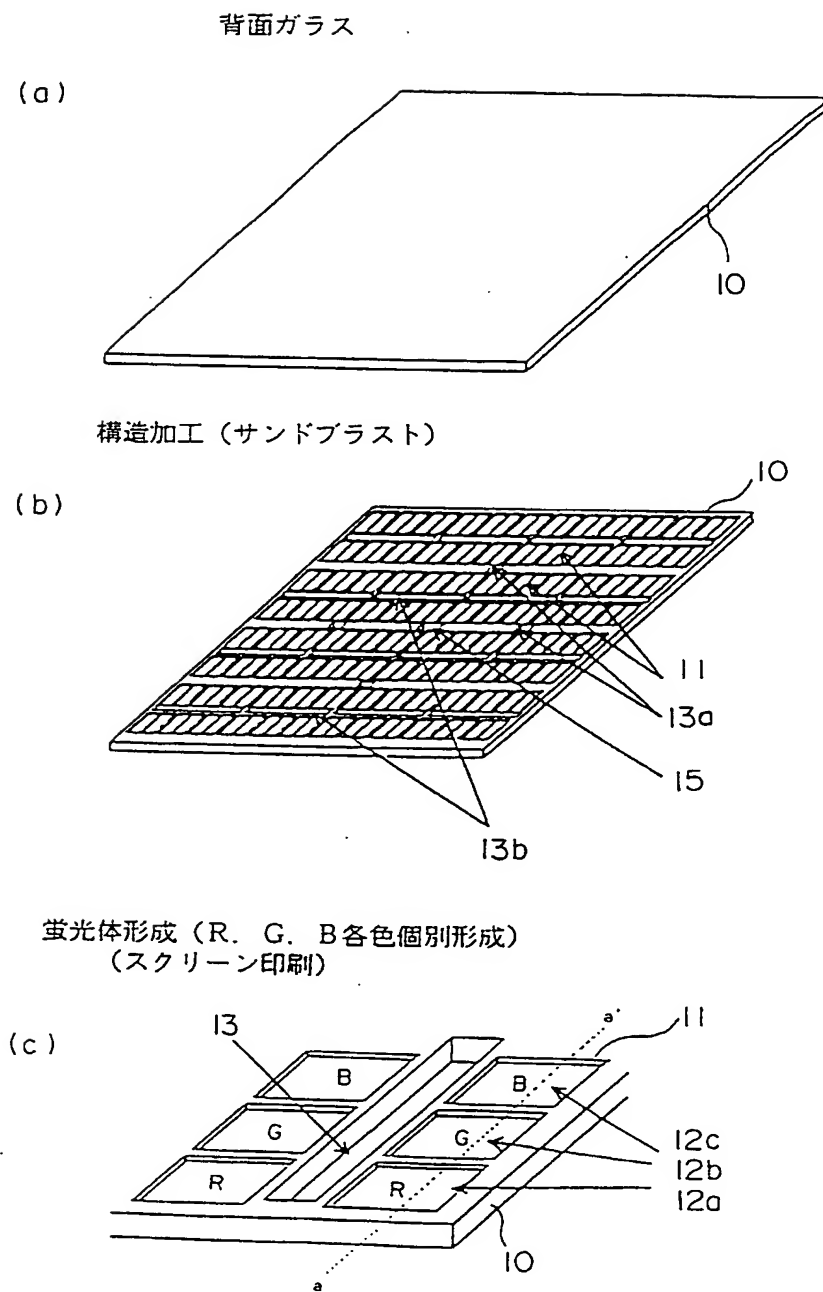


図 1 1

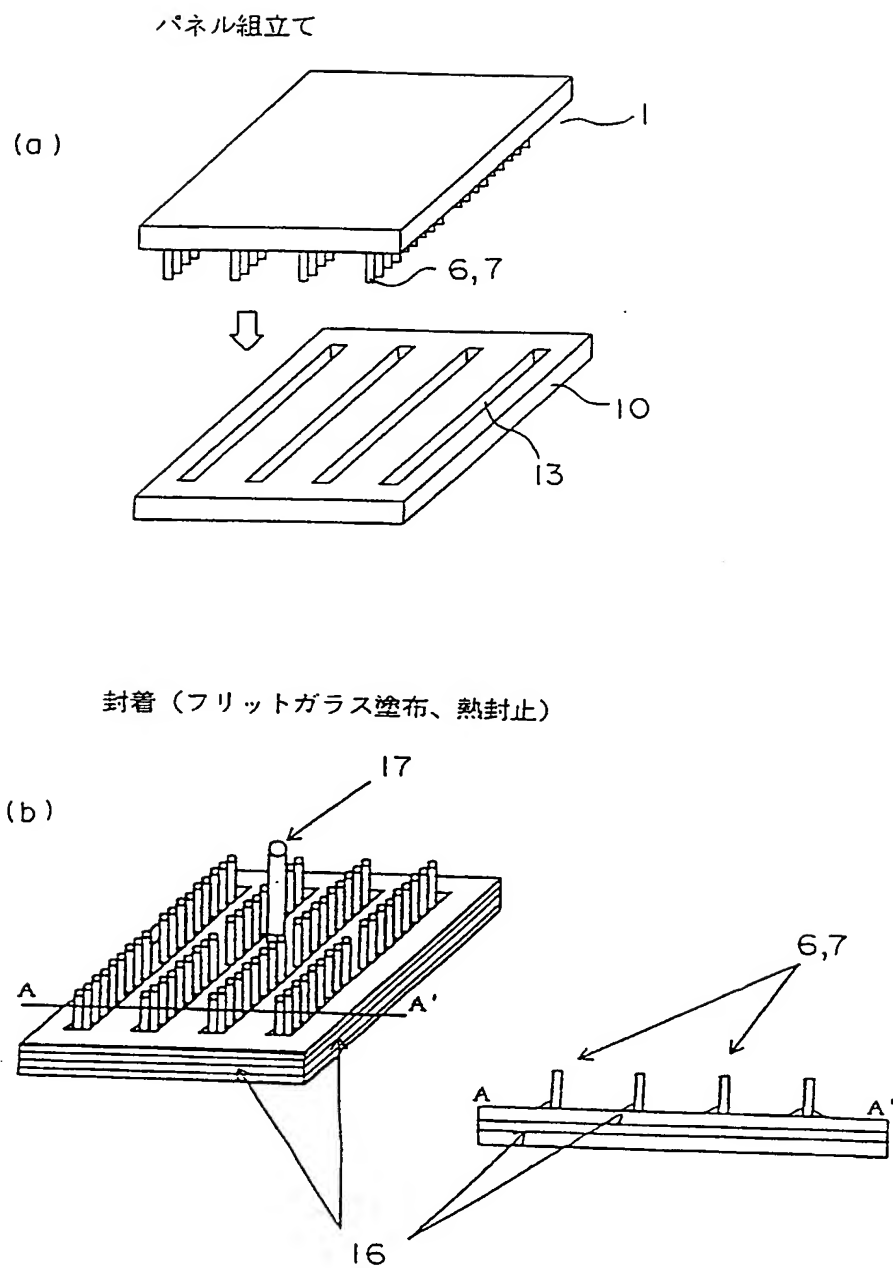
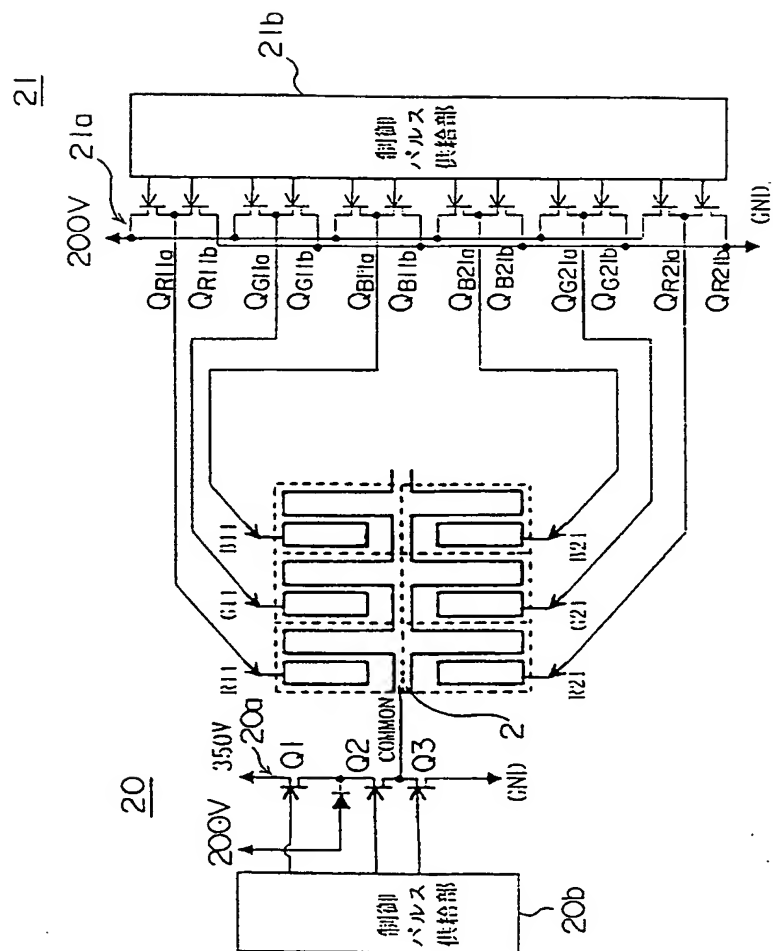




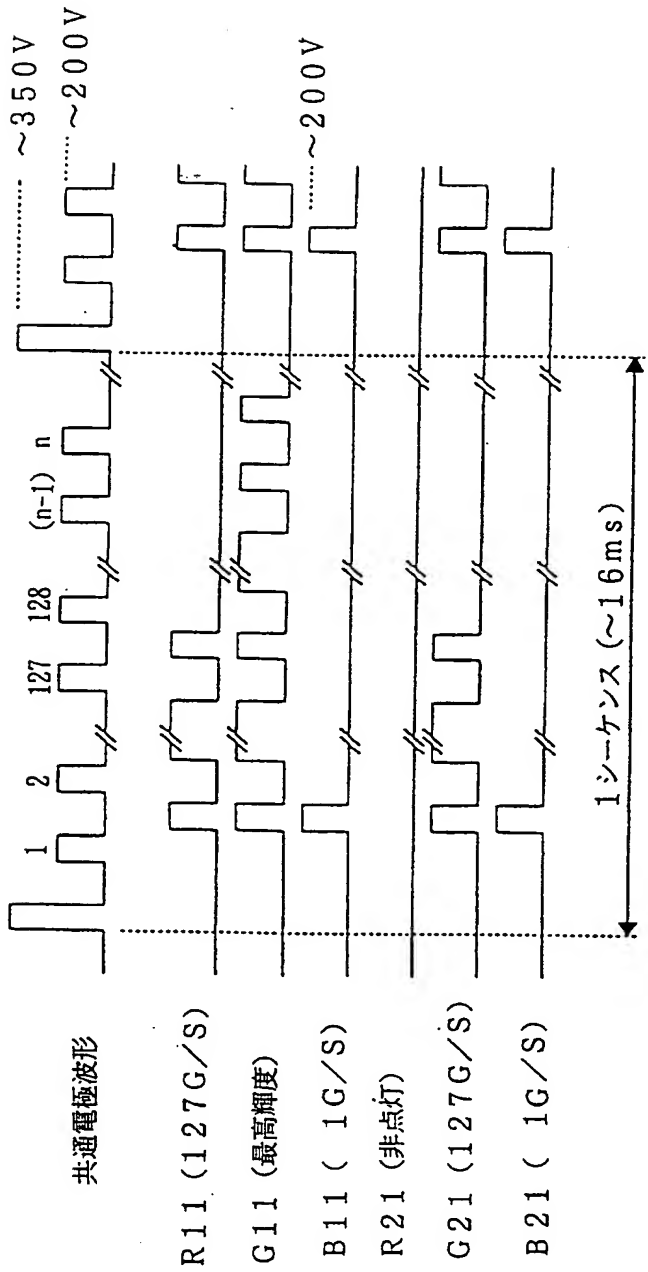


图 13



20: 共通電極駆動部  
21: 個別電極駆動部

図 14



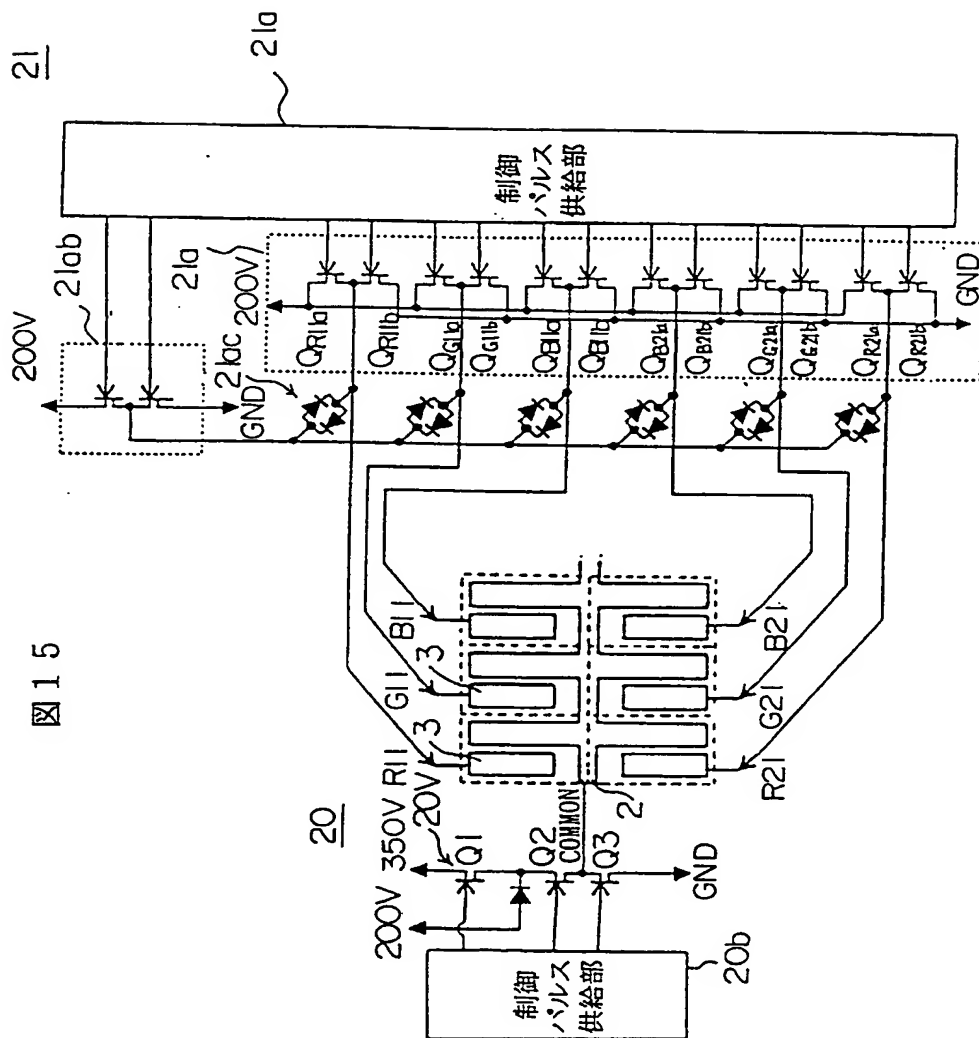
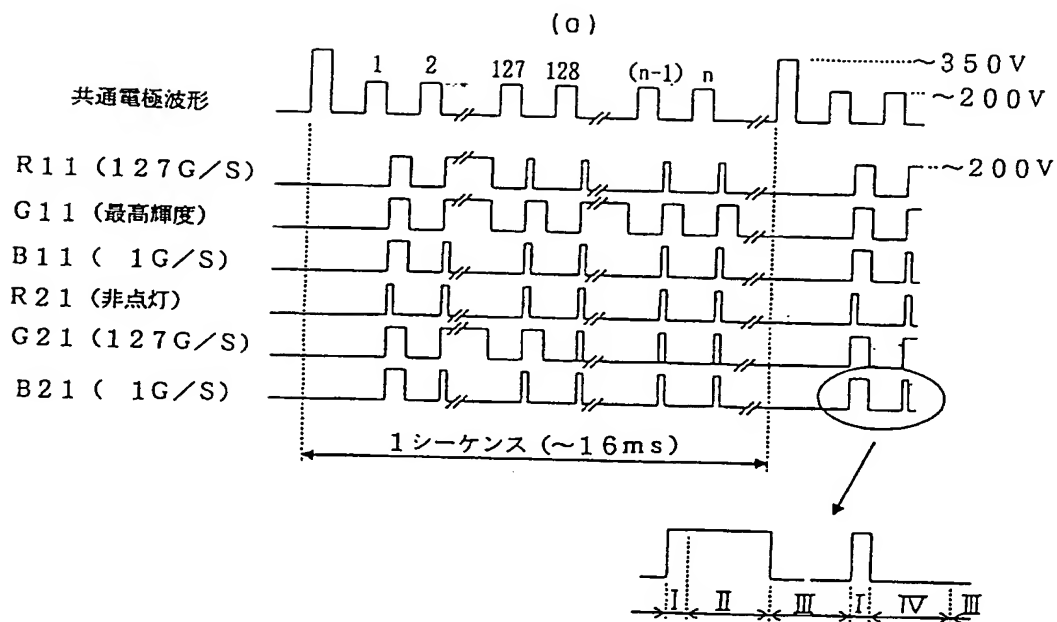


図 15

図 16



(b)

		I	II	III	IV
一括駆動S/W	ハイサイドS/W	ON	OFF	OFF	OFF
	ローサイドS/W	OFF	OFF	ON	OFF
個別駆動S/W	ハイサイドS/W	OFF	ON	OFF	OFF
	ローサイドS/W	OFF	OFF	OFF	ON

図 17

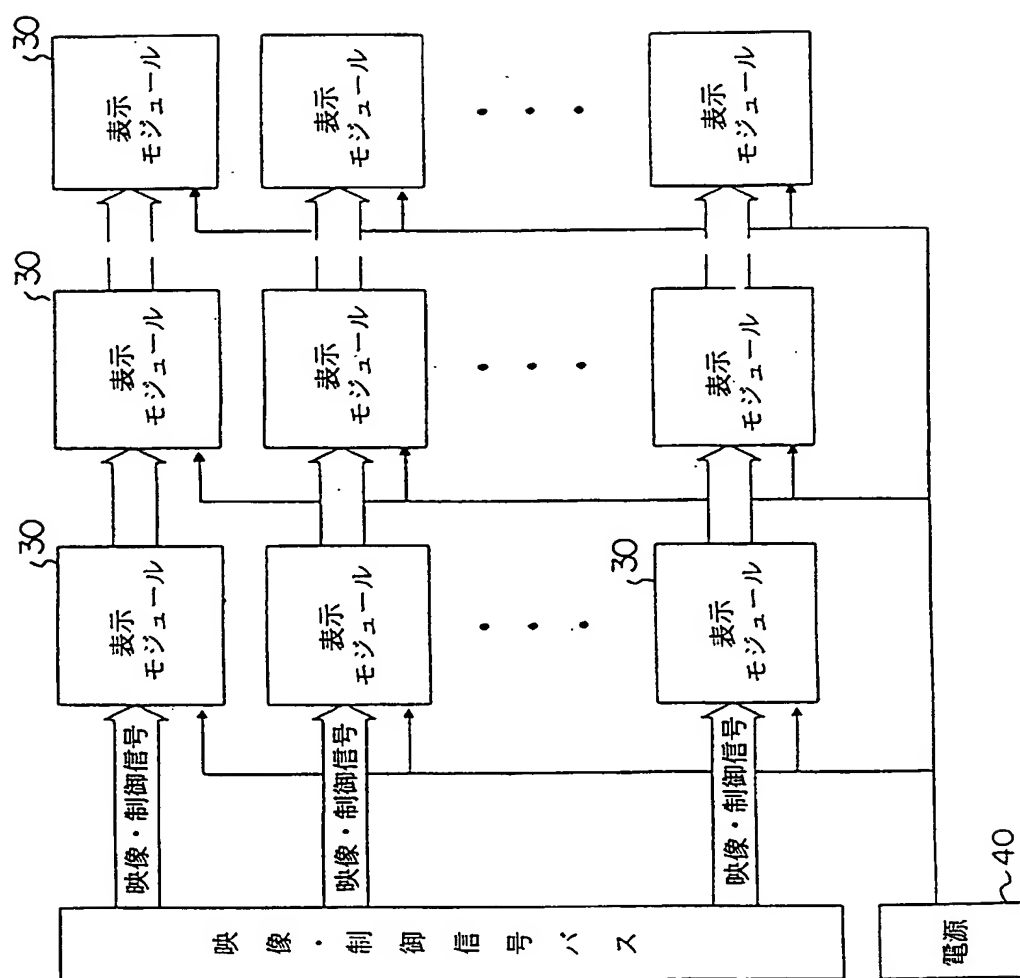


図 18

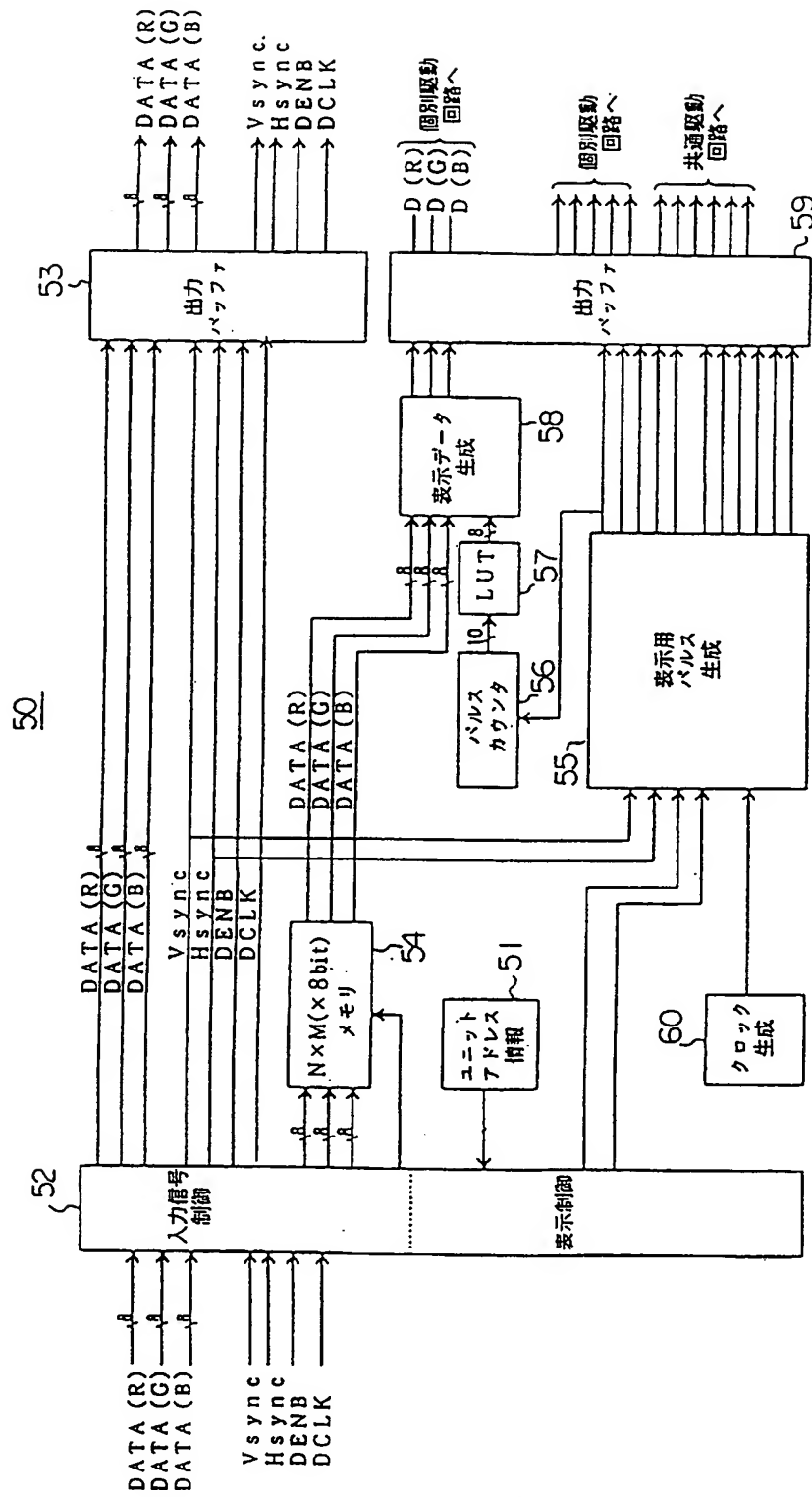


図 19

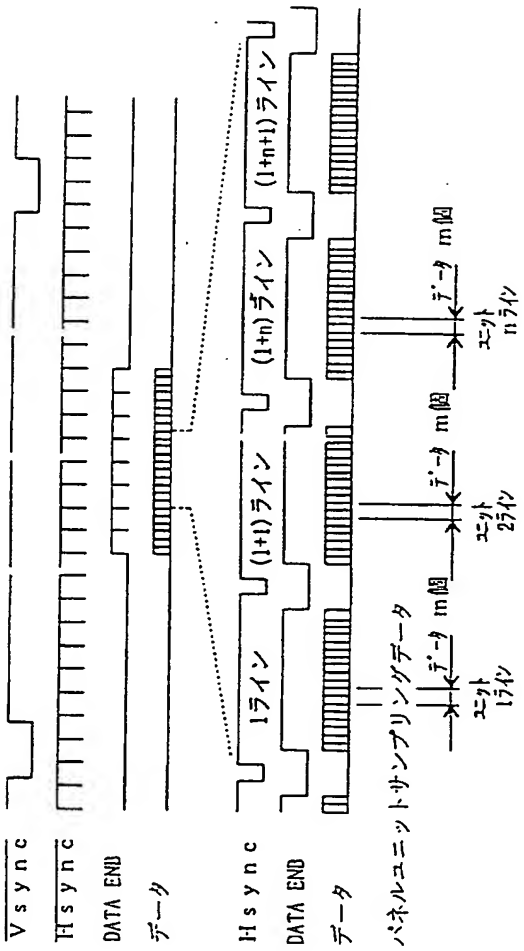




図 20

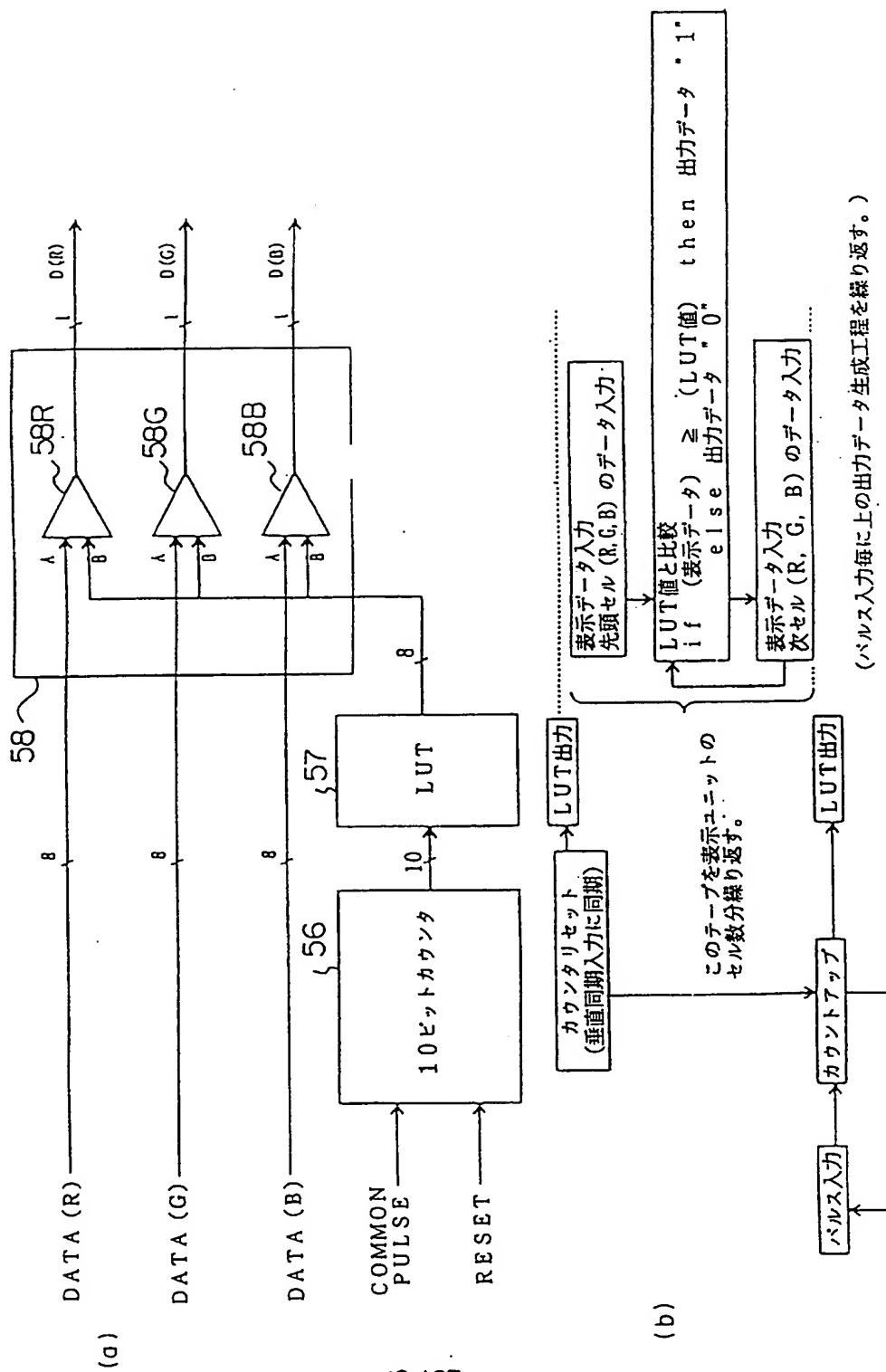


図 2 1

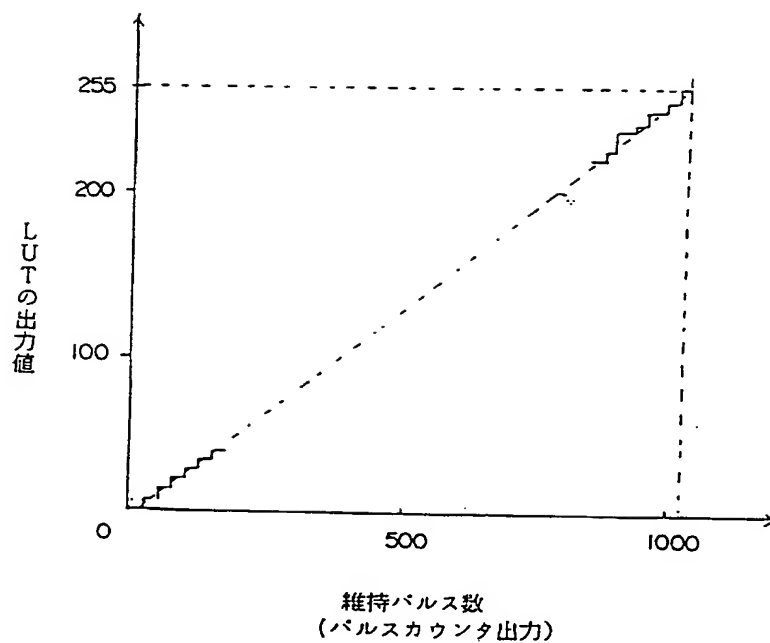


図 2 2

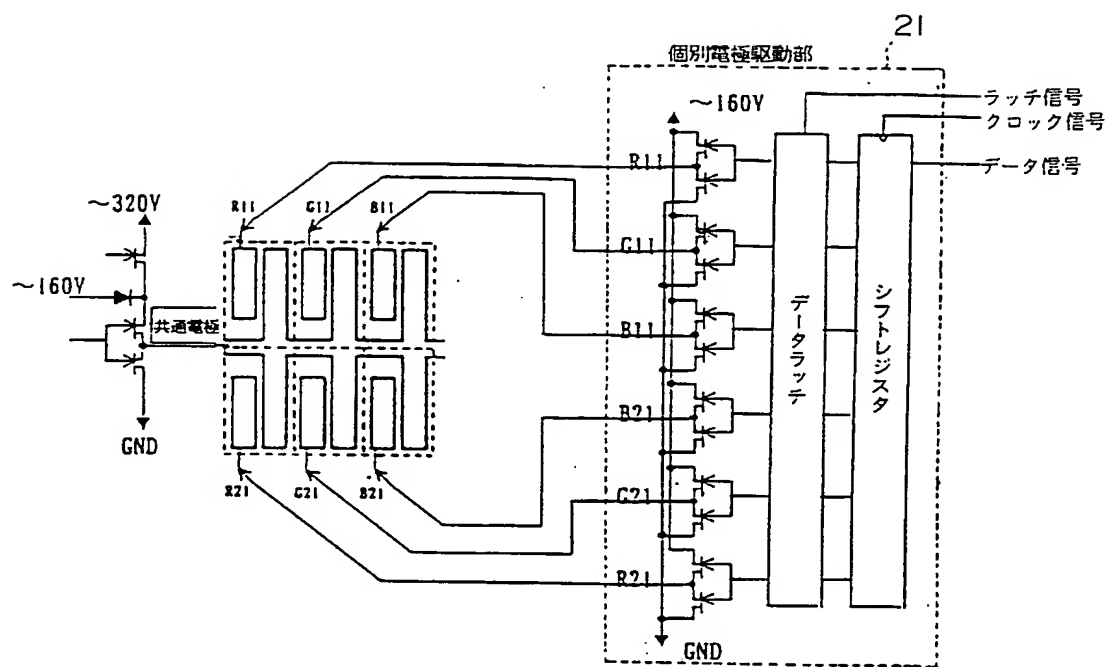


図 23

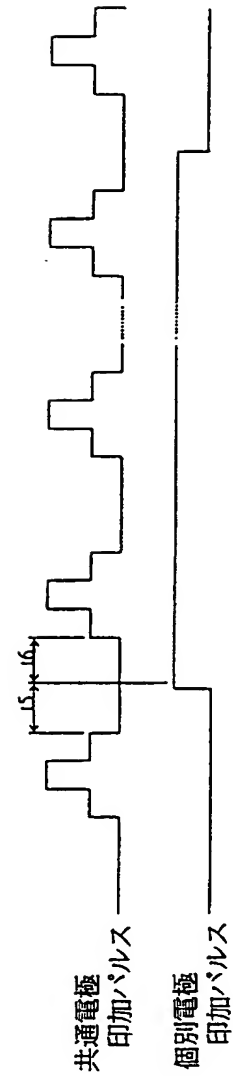
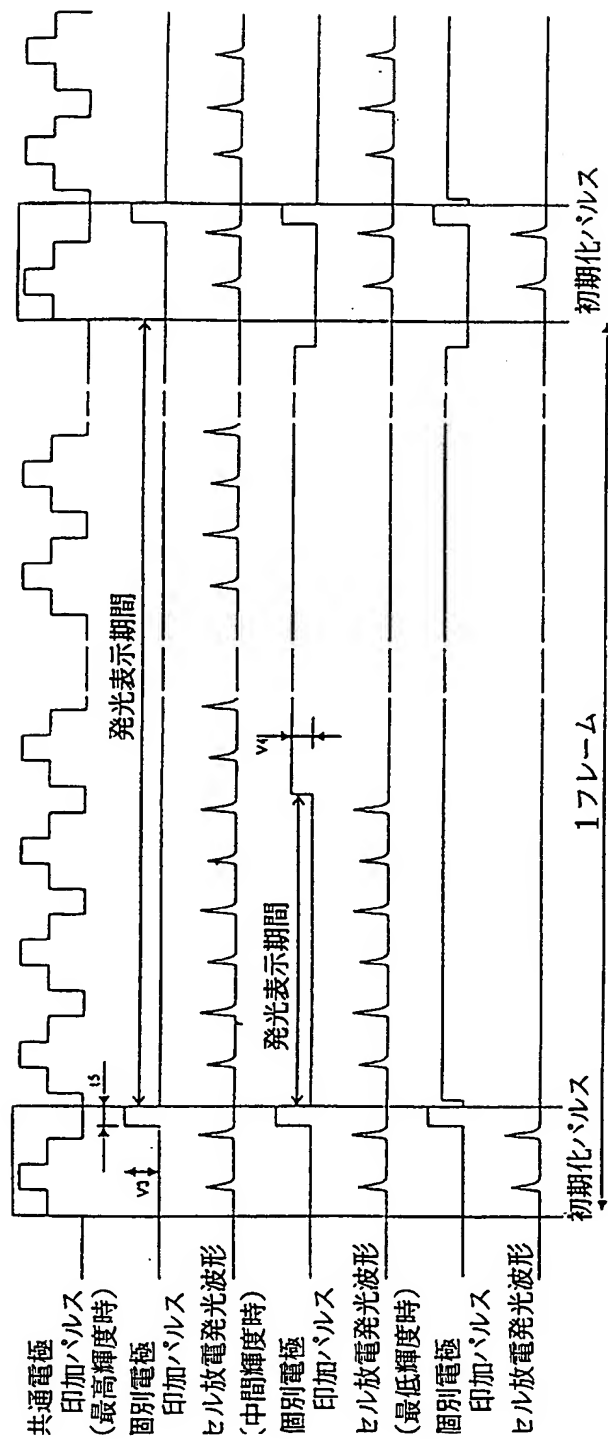


図 2 4

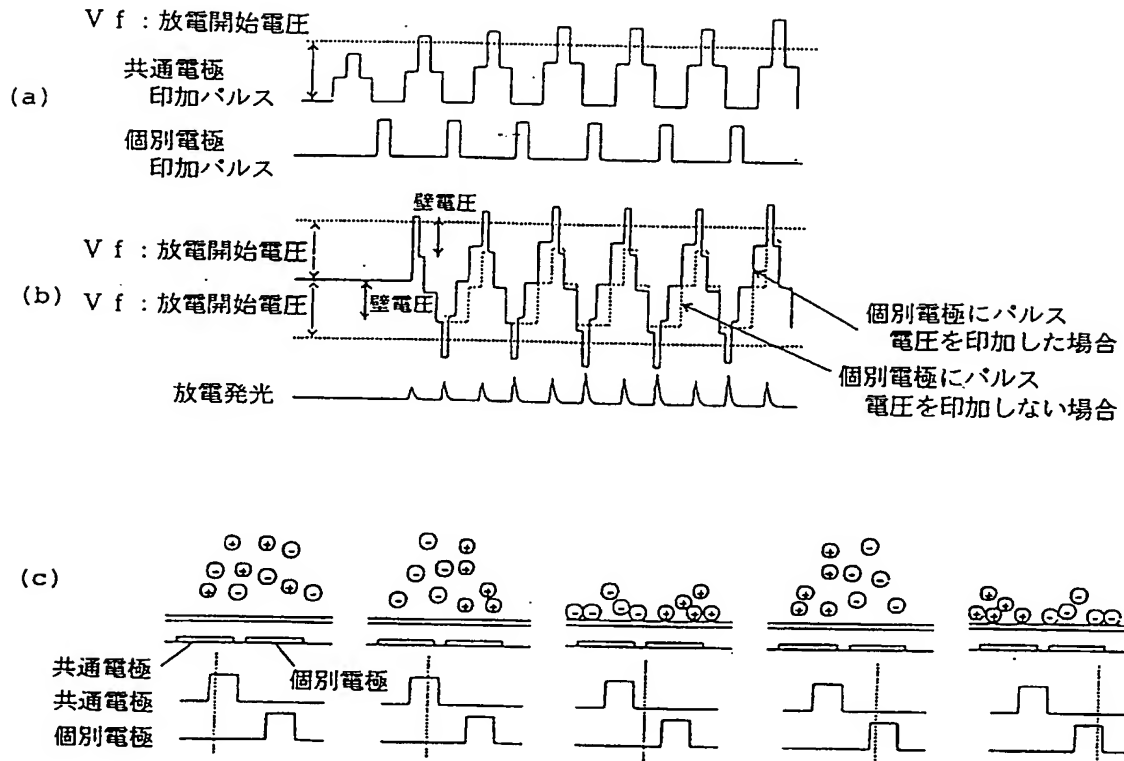


図 2 5

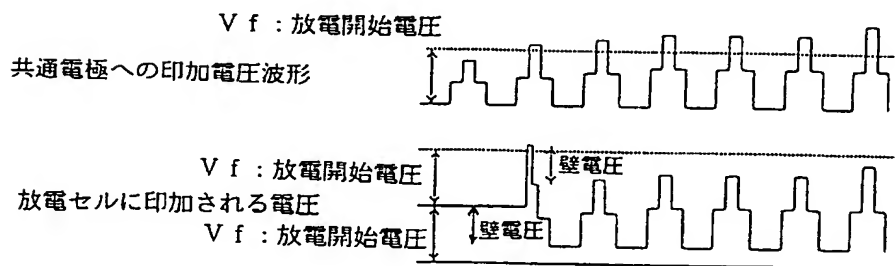


図 2 6

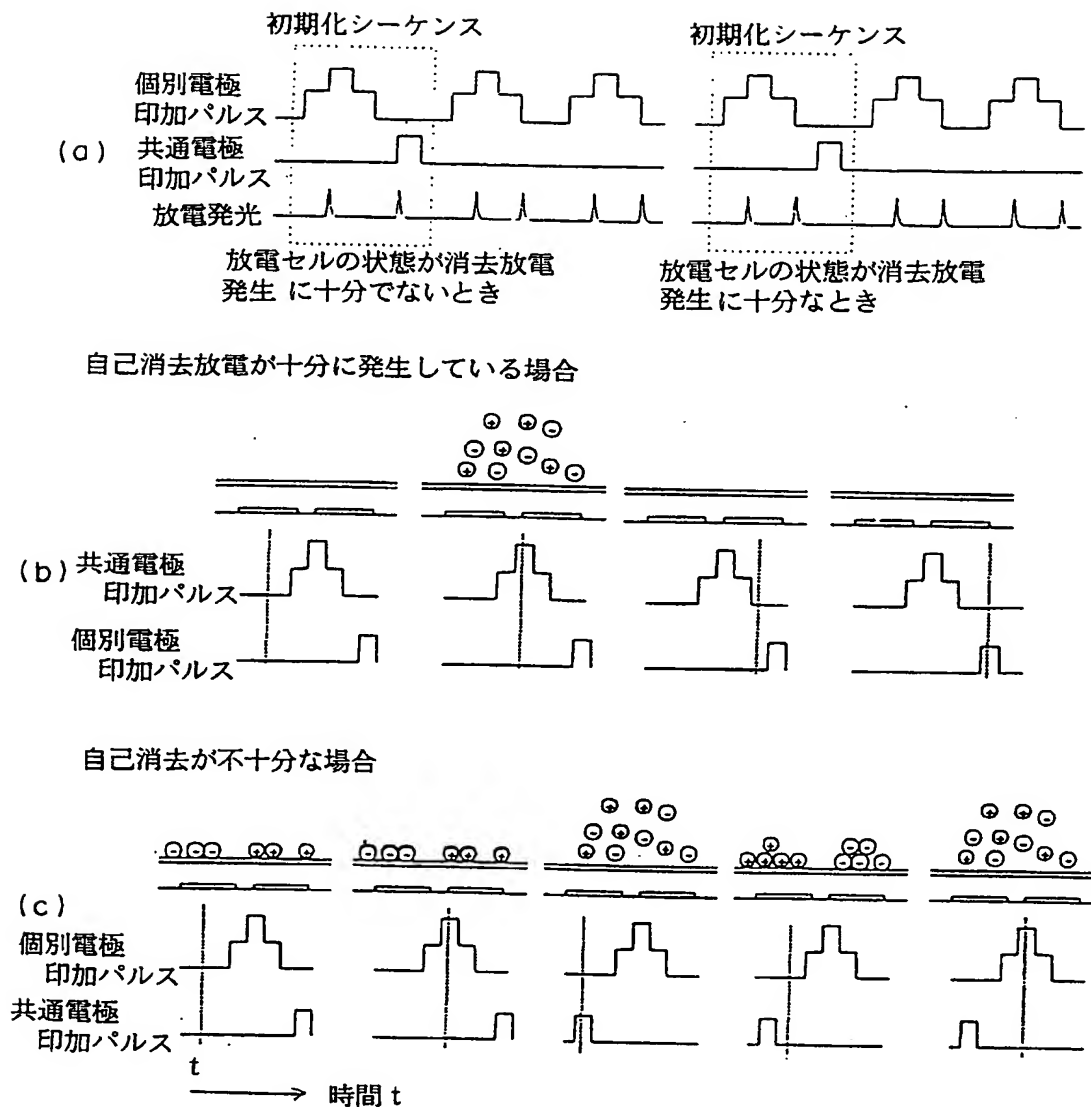


図 2 7

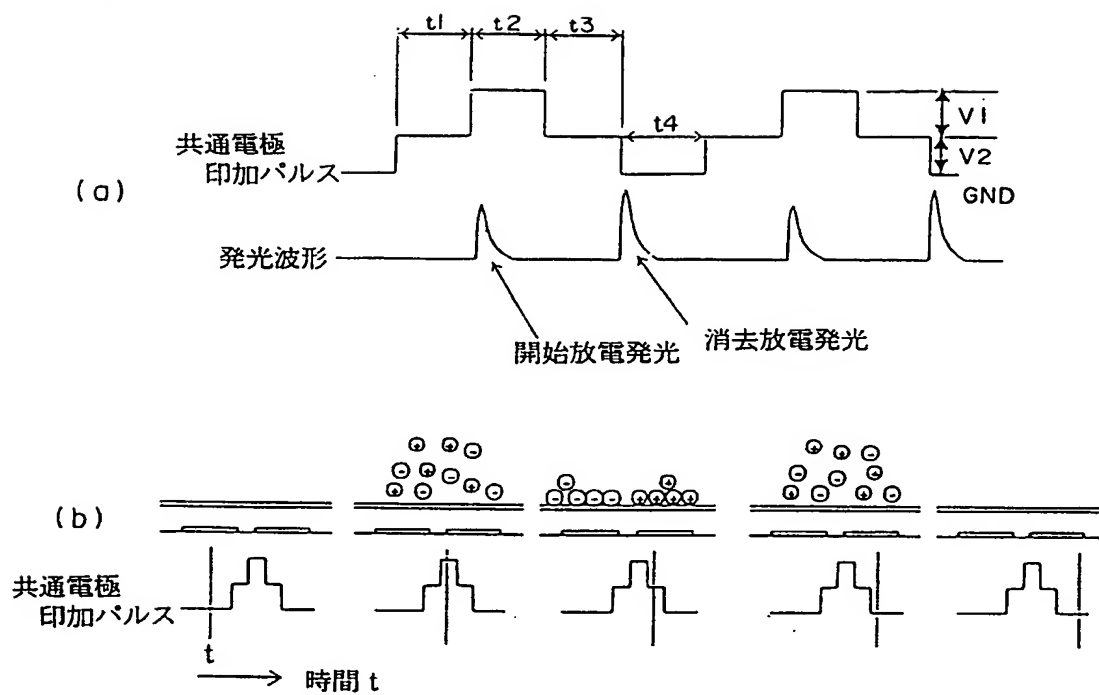


図 28

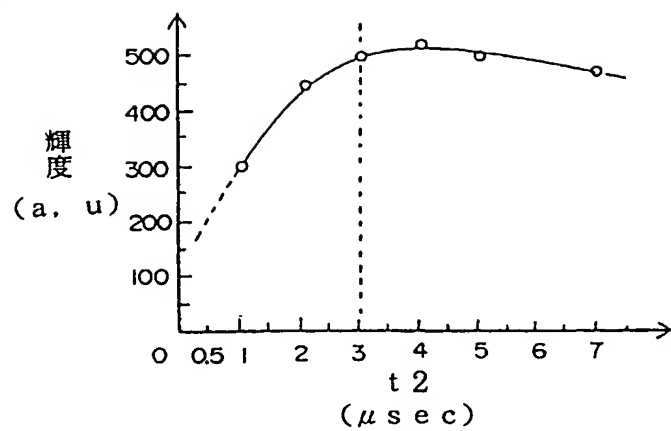


図 29

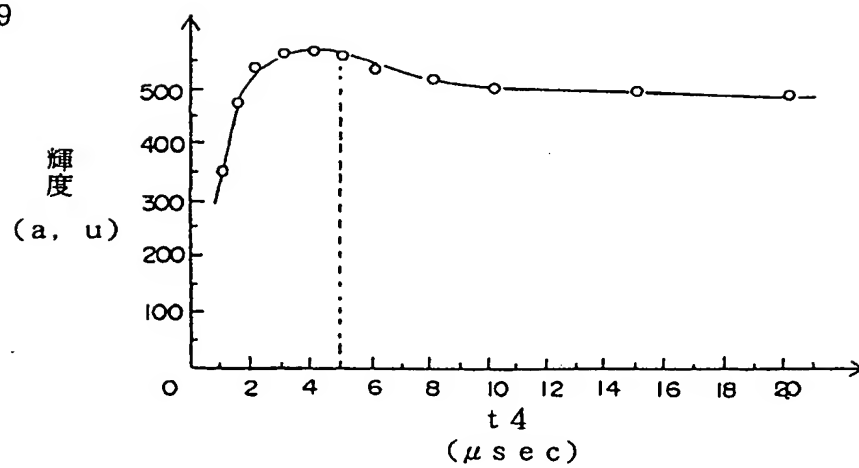




図 3 0

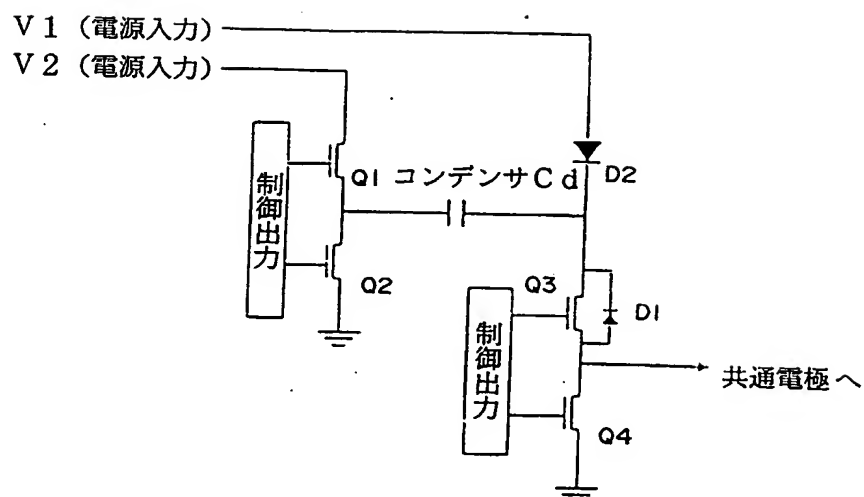
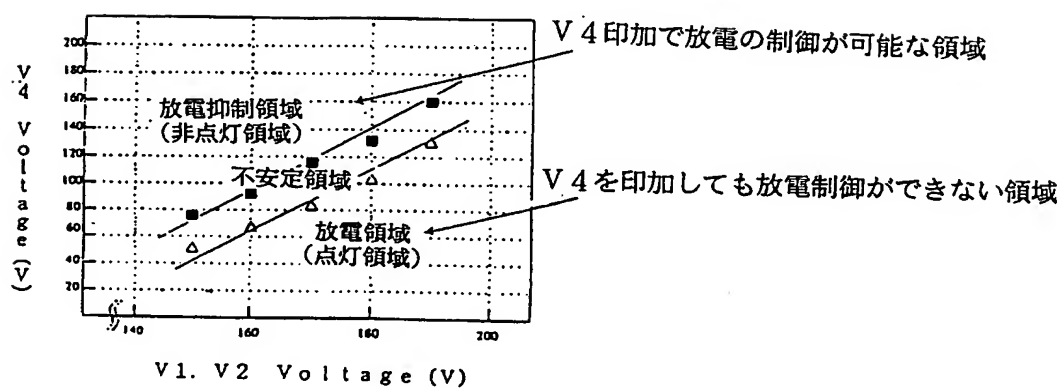
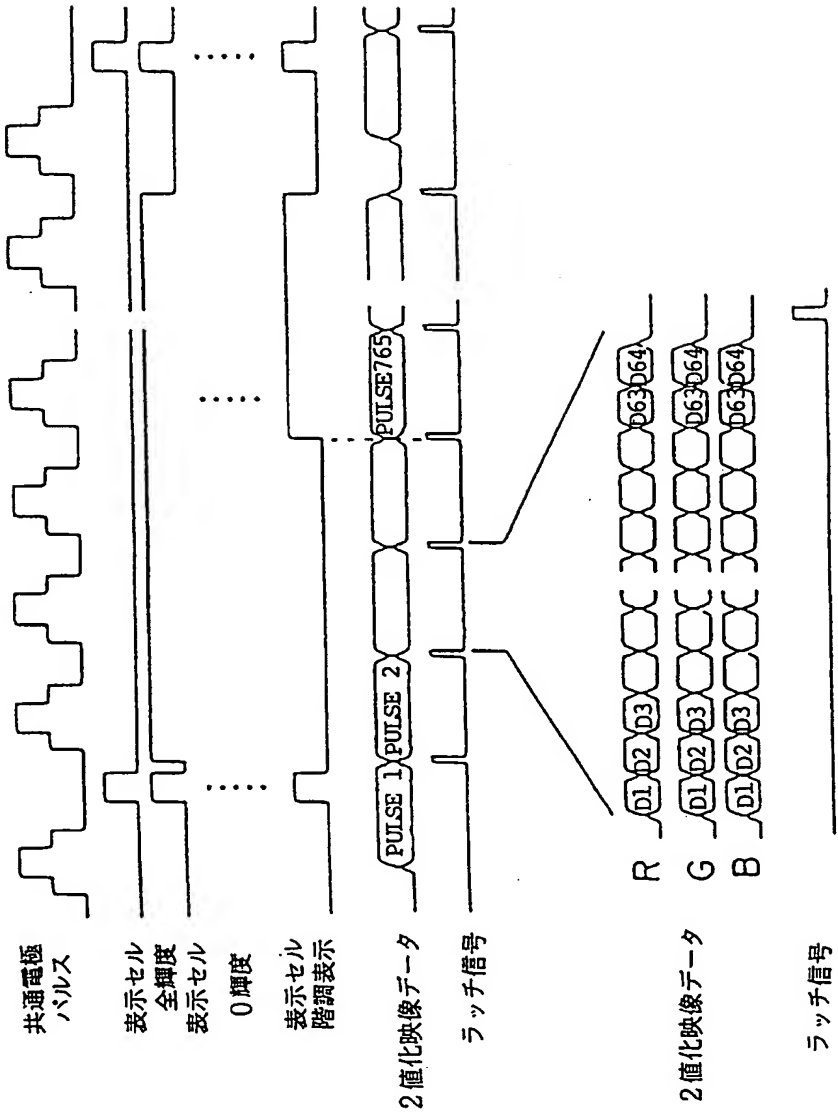


図 3 1



V1, V2 : 共通電極へ印加する電圧値  
 この測定では  $V1 = V2$  とした。  
 V4 : 個別電極へ印加するバイアス電圧  
 高圧側で放電光停止

図 3 2



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01444

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>6</sup> H01J11/02, H01J9/02, H01J9/24, H01J9/26, H01J9/385, G09F9/313, G09G3/28 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> H01J11/02, H01J17/49, H01J9/02, H01J9/24, H01J9/26, H01J9/385, G09F9/313, G09G3/28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 9-55166, A (NEC Corp.), February 25, 1997 (25. 02. 97), Par. Nos. [0034], [0035] ; Figs. 1, 2 Par. Nos. [0034], [0035] ; Figs. 1, 2 (Family: none)	1-3, 5-6 4, 7
Y	JP, 3-59928, A (Matsushita Electric Industrial Co., Ltd.), March 14, 1991 (14. 03. 91), Page 1, lower left column, line 20 to page 2, upper left column, line 12 (Family: none)	4
Y	JP, 4-47639, A (NEC Corp.), February 17, 1992 (17. 02. 92), Page 2, lower left column, line 17 to lower right column, line 3 (Family: none)	7
A	JP, 46-21484, Y1 (Okaya Electric Industries Co., Ltd.), July 24, 1971 (24. 07. 71), Full text ; Figs. 1 to 3 (Family: none)	8-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search May 26, 1998 (26. 05. 98)		Date of mailing of the international search report June 9, 1998 (09. 06. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01444

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-274141, A (Fujitsu Ltd.), September 30, 1992 (30. 09. 92), Par. Nos. [0012] to [0014] ; Fig. 1 (Family: none)	10
A	JP, 1-131598, A (Yokogawa Electric Corp.), May 24, 1989 (24. 05. 89), Full text ; Figs. 5, 6	16-28
A	JP, 2-219093, A (Fujitsu General Ltd.), August 31, 1990 (31. 08. 90), Full text (Family: none)	16-17
A	JP, 8-32904, A (Fujitsu General Ltd.), February 2, 1996 (02. 02. 96), Full text (Family: none)	18
A	JP, 7-319423, A (NEC Corp.), December 8, 1995 (08. 12. 95), Par. Nos. [0007], [0008] (Family: none)	19-21
A	JP, 7-295506, A (NEC Corp.), November 10, 1995 (10. 11. 95), Par. Nos. [0022], [0023] ; Figs. 2, 3 (Family: none)	22-24

## 国際調査報告

国際出願番号 PCT/J P 98/01444

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>8</sup> H01J11/02 H01J9/02, H01J9/24, H01J9/26, H01J9/385 G09F9/313, G09G3/28		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>8</sup> H01J11/02, H01J17/49 H01J9/02, H01J9/24, H01J9/26, H01J9/385 G09F9/313, G09G3/28		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-1998年 日本国登録実用新案公報 1994-1998年 日本国実用新案登録公報 1996-1998年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 9-55166, A (日本電気株式会社) 25. 2月. 1997 (25. 02. 97) 段落番号【0034】-【0035】, 図1-2 段落番号【0034】-【0035】, 図1-2 (ファミリーなし)	1-3, 5-6 4, 7
Y	J P, 3-59928, A (松下電器産業株式会社) 14. 3月. 1991 (14. 03. 91) 第1頁右下欄第20行目-第2頁左上欄第12行目 (ファミリーなし)	4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 26. 05. 98	国際調査報告の発送日 09.06.98	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小川 浩史 電話番号 03-3581-1101 内線 3226	2G 9707

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 4-47639, A (日本電気株式会社) 17. 2月. 1992 (17. 02. 92) 第2頁左下欄第17行目-右下欄第3行目 (ファミリーなし)	7
A	J P, 46-21484, Y1 (岡谷電機産業株式会社) 24. 7月. 1971 (24. 07. 71) 全文, 第1-3図 (ファミリーなし)	8-15
A	J P, 4-274141, A (富士通株式会社) 30. 9月. 1992 (30. 09. 92) 段落番号【0012】-【0014】, 図1 (ファミリーなし)	10
A	J P, 1-131598, A (横河電機株式会社) 24. 5月. 1989 (24. 05. 89) 全文, 第5-6図	16-28
A	J P, 2-219093, A (株式会社富士通ゼネラル) 31. 8月. 1990 (31. 08. 90) 全文 (ファミリーなし)	16-17
A	J P, 8-32904, A (株式会社富士通ゼネラル) 2. 2月. 1996 (02. 02. 96) 全文 (ファミリーなし)	18
A	J P, 7-319423, A (日本電気株式会社) 8. 12月. 1995 (08. 12. 95) 段落番号【0007】-【0008】 (ファミリーなし)	19-21
A	J P, 7-295506, A (日本電気株式会社) 10. 11月. 1995 (10. 11. 95) 段落番号【0022】-【0023】、図2-3 (ファミリーなし)	22-24